

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09074347 A**(43) Date of publication of application: **18.03.97**

(51) Int. Cl.

H03K 19/00
H01L 21/8238
H01L 27/092
H03K 19/0175
H03K 19/0948

(21) Application number: **07337473**(22) Date of filing: **25.12.95**(30) Priority: **26.06.95 JP 07159685**

(71) Applicant:

mitsubishi electric corp

(72) Inventor:

KISHI TOSHIO
KOBAYASHI SOICHI
SHIMAZU YUKIHIKO

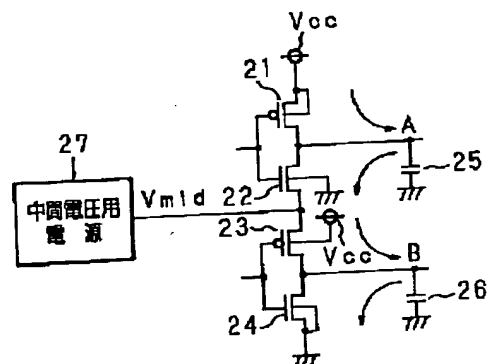
(54) MOS INTEGRATED CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an MOS integrated circuit with which power consumption is reduced by efficiently utilizing electric charges discharged from a gate again.

SOLUTION: This circuit is operated by receiving a first voltage V_{cc} applied from the outside and a second voltage lower than the first voltage V_{cc} . This circuit is provided with one or plural intermediate voltage nodes to which any arbitrary intermediate voltage V_{mid} between the first voltage V_{cc} and the second voltage is applied, plural operating circuits 21, 22, 23 and 24 to be respectively operated among the first voltage V_{cc} , the second voltage and one or plural intermediate voltages V_{mid} applied from the intermediate voltage nodes, and a node stabilizing circuit 27 for stabilizing the intermediate voltage nodes at the intermediate voltage V_{mid} .

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-74347

(43) 公開日 平成9年(1997)3月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H03K 19/00			H03K 19/00	A
H01L 21/8238			H01L 27/08	321L
27/092			H03K 19/00	101F
H03K 19/0175			19/094	B
19/0948				

審査請求 未請求 請求項の数26 OL (全 26 頁)

(21) 出願番号 特願平7-337473

(22) 出願日 平成7年(1995)12月25日

(31) 優先権主張番号 特願平7-159685

(32) 優先日 平7(1995)6月26日

(33) 優先権主張国 日本(JP)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岸 俊夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 小林 聡一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 島津 之彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

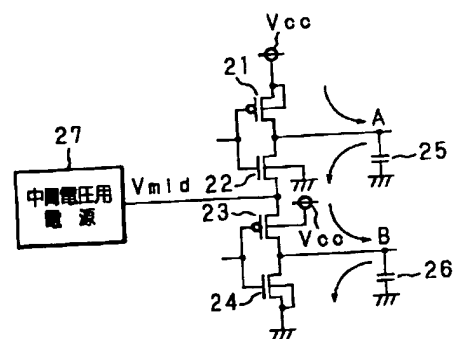
(74) 代理人 弁理士 河野 登夫

(54) 【発明の名称】 MOS集積回路

(57) 【要約】

【課題】 ゲートが放電する電荷を効率よく再利用して消費電力が小さいMOS集積回路の提供。

【解決手段】 外部から与えられる第1電圧Vccと第1電圧Vccより低い第2電圧とを受けて作動するMOS集積回路。第1電圧Vccと第2電圧との任意の中間電圧Vmidが与えられる1又は複数の中間電圧ノードと、第1電圧Vcc、第2電圧及び中間電圧ノードから与えられる1又は複数の中間電圧Vmidの電圧間でそれぞれ作動する複数の動作回路21、22、23、24と、中間電圧ノードを中間電圧Vmidに安定させるためのノード安定化回路27とを備えている。



21, 23: Pチャネル形トランジスタ
22, 24: Nチャネル形トランジスタ
Vcc: 電源電圧

【特許請求の範囲】

【請求項1】 外部から与えられる第1電圧と第1電圧より低い第2電圧とを受けて作動するMOS集積回路において、

第1電圧と第2電圧との任意の中間電圧が与えられる1又は複数の中間電圧ノードと、第1電圧、第2電圧及び前記中間電圧ノードから与えられる前記1又は複数の中間電圧の電圧間でそれぞれ作動する複数の動作回路と、前記中間電圧ノードを前記中間電圧に安定させるためのノード安定化回路とを備えることを特徴とするMOS集積回路。

【請求項2】 第1電圧と第2電圧との任意の中間電圧が与えられる中間電圧ノードの内、任意の中間電圧ノードは、中間電圧が外部から与えられるべくないある請求項1記載のMOS集積回路。

【請求項3】 複数の動作回路は、第1電圧と中間電圧との間で作動する第1の動作回路と、前記中間電圧と第2電圧との間で作動する第2の動作回路とであり、ノード安定化回路は、中間電圧が基準電圧として与えられる第1の基準電圧ノードを有し、第1の基準電圧ノードの電圧よりも中間電圧ノードの電圧が高いときは該中間電圧ノードを放電させ、第1の基準電圧ノードの電圧よりも該中間電圧ノードの電圧が低いときは該中間電圧ノードを充電して、該中間電圧ノードの電圧を第1の基準電圧ノードの電圧に安定させるべくないある請求項1記載のMOS集積回路。

【請求項4】 第1電圧のノード及び中間電圧ノードの間に接続された第1の容量と、第2電圧のノード及び該中間電圧ノードの間に接続された第2の容量とを備える請求項3記載のMOS集積回路。

【請求項5】 複数の動作回路は、第1電圧と中間電圧との間で作動する第1の動作回路と、前記中間電圧と第2電圧との間で作動する第2の動作回路とであり、ノード安定化回路は、複数の中間電圧が基準電圧として与えられ、該基準電圧は第2の基準電圧と第2の基準電圧より高い第3の基準電圧とであり、第2の基準電圧が与えられる第2の基準電圧ノードと、第3の基準電圧が与えられる第3の基準電圧ノードとを有し、第3の基準電圧ノードの電圧よりも中間電圧ノードの電圧が高いときは、該中間電圧ノードを放電させ、第2の基準電圧ノードの電圧よりも該中間電圧ノードの電圧が低いときは該中間電圧ノードを充電すべくないある請求項1記載のMOS集積回路。

【請求項6】 ノード安定化回路は、基準電圧が、内部に配置された抵抗の分圧によって生成されるべくないある請求項3～5の何れかに記載のMOS集積回路。

【請求項7】 ノード安定化回路は、基準電圧が、MOS集積回路の外部から与えられるべくないある請求項3～5の何れかに記載のMOS集積回路。

【請求項8】 ノード安定化回路は、第1電圧、第2電

圧及び基準電圧の内の、互いに隣合う電圧値の電圧がそれぞれ与えられるノードの間に接続された容量を備える請求項3～7の何れかに記載のMOS集積回路。

【請求項9】 第1の動作回路及び第2の動作回路は、それぞれが有するPチャネル形トランジスタに与えられる基板電位が第1電圧であり、それぞれが有するNチャネル形トランジスタに与えられる基板電位が第2電圧である請求項3～9の何れかに記載のMOS集積回路。

【請求項10】 第1の動作回路は、第1電圧及び第2電圧間の振幅の入力信号を第1電圧及び中間電圧間の振幅の信号に変換する第1のレベル変換回路を有し、第2の動作回路は、第1電圧及び第2電圧間の振幅の入力信号を前記中間電圧及び第2電圧間の振幅の信号に変換する第2のレベル変換回路を有する請求項3～10の何れかに記載のMOS集積回路。

【請求項11】 第1の動作回路は、第1電圧及び中間電圧間の振幅の出力信号を第1電圧及び第2電圧間の振幅の信号に変換して出力する第3のレベル変換回路を有し、第2の動作回路は、前記中間電圧及び第2電圧間の振幅の出力信号を第1電圧及び第2電圧間の振幅の信号に変換して出力する第4のレベル変換回路を有する請求項10記載のMOS集積回路。

【請求項12】 第1の動作回路は、クロックを分配するための1又は複数のクロックバッファ回路を有する第1のクロックドライバ回路を備え、第2の動作回路は、1又は複数の前記クロックバッファ回路を有する第2のクロックドライバ回路を備えて、第1のクロックドライバ回路に与えられるクロックと第2のクロックドライバ回路に与えられるクロックとは、半周期ずれるべくないある請求項10又は11に記載のMOS集積回路。

【請求項13】 第1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれのクロックバッファ回路の数が等しく、また、それぞれのクロックドライバ回路内においてクロックが与えられる順番が等しいそれぞれのクロックバッファ回路は、ドライブ能力が等しい請求項12記載のMOS集積回路。

【請求項14】 第1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれのクロックドライバ回路内においてクロックが与えられる順番が等しいそれぞれのクロックバッファ回路同士を対にし隣接して配置した請求項13記載のMOS集積回路。

【請求項15】 第1の動作回路は、Nビット(Nは自然数)からなる多ビット構成の機能ブロックの、nビット分($1 \leq n \leq N-1$)を作動させる第1のビット部分を備え、第2の動作回路は、前記機能ブロックの、mビット分($m=N-n$)を作動させる第2のビット部分を備える請求項10～14の何れかに記載のMOS集積回路。

【請求項16】 第1のビット部分と第2のビット部分とは、ビット数が等しい($n=m$, Nは偶数)請求項1

5記載のMOS集積回路。

【請求項17】 Nビットからなる多ビット構成の機能ブロックは、バスドライバを備える請求項15又は16記載のMOS集積回路。

【請求項18】 Nビットからなる多ビット構成の機能ブロックは、メモリを備える請求項15～17の何れかに記載のMOS集積回路。

【請求項19】 Nビットからなる多ビット構成の機能ブロックは、データバス部を備える請求項15～18の何れかに記載のMOS集積回路。

【請求項20】 Nビットからなる多ビット構成の機能ブロックは、第1のビット部分と第2のビット部分とをそれぞれ複数に分割し、複数に分割した第1のビット部分の分割片と複数に分割した第2のビット部分の分割片とを交互に配置した請求項15～19の何れかに記載のMOS集積回路。

【請求項21】 交互に配置した、複数に分割した第1のビット部分の分割片と複数に分割した第2のビット部分の分割片とは、その境界に中間電圧の配線がなされた請求項15～20の何れかに記載のMOS集積回路。

【請求項22】 1又は複数の第1の動作回路よりなるレイアウトブロックと、1又は複数の第2の動作回路よりなるレイアウトブロックとを備えた請求項3～21の何れかに記載のMOS集積回路。

【請求項23】 第1の動作回路よりなるレイアウトブロックと第2の動作回路よりなるレイアウトブロックとの境界に中間電圧の配線をなしてある請求項22記載のMOS集積回路。

【請求項24】 動作回路は、ソースに中間電圧が与えられるトランジスタの基板電位を、外部からの信号により複数の任意の電圧に切り替える基板電位供給回路を備える請求項1又は2記載のMOS集積回路。

【請求項25】 第1の動作回路は、ソースに中間電圧が与えられるNチャネル形トランジスタの基板電位を、外部からの信号により複数の任意の電圧に切り替える第1の基板電位供給回路を備え、第2の動作回路は、ソースに中間電圧が与えられるPチャネル形トランジスタの基板電位を、前記外部からの信号により複数の任意の電圧に切り替える第2の基板電位供給回路を備える請求項3～8、10～23の何れかに記載のMOS集積回路。

【請求項26】 第1の基板電位供給回路が、ソースに中間電圧が与えられるNチャネル形トランジスタの基板電位を中間電圧に切り替えるときは、第2の基板電位供給回路は、ソースに中間電圧が与えられるPチャネル形トランジスタの基板電位を中間電圧に切り替え、第1の基板電位供給回路が、前記Nチャネル形トランジスタの基板電位を第2電圧に切り替えるときは、第2の基板電位供給回路は、前記Pチャネル形トランジスタの基板電位を第1電圧に切り替えるべくしてある請求項25記載のMOS集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電源を複数のレベルに分割し、それぞれのレベルで独立した回路を作動させるように構成した多層電源方式のMOS集積回路(MOS IC=Metal Oxide Semiconductor Integrated Circuits)に関するものである。

【0002】

【従来の技術】従来のMOS ICは、IC外部から単一の電源レベルを与えられ、その電源レベルを基本としてフルスイング動作する構成が一般的であった。一部のMOS ICには、消費電力を低減させる目的で、IC外部から与えられた単一の電源レベルを、内部で降圧して使用しているものもある。

【0003】図32は、従来の電源供給の1例を示す。これは、Pチャネル形トランジスタ(以下、PchTrと称す)3201とNチャネル形トランジスタ(以下、NchTrと称す)3202とがドレイン同士で接続され、PchTr3201のソースに電源電圧Vccが与えられ、NchTr3202のソースが接地されたインバータの例である。このインバータは、両Trのゲートへ与えられる入力信号に従って、両Trの何れかがオンになり、インバータの出力ノード(節点)である両Trのドレインと接地端子との間に接続された負荷容量3203に対して、充放電していることを示している。この例に示すように、従来のMOS ICのような電源方式では、例えば1つのインバータの出力が立ち上がり、立ち下がることによって、その出力ノードにある負荷容量の充電と放電とが起きる。そして、この1回の立ち上がりと立ち下がりとの組で、電力が消費されてしまうことになる。

【0004】

【発明が解決しようとする課題】従来のMOS ICの電源供給は、以上のように構成されているので、トランジスタのゲートの放電時に電荷が接地レベルに流れてしまい、消費電力が大きくなるなどの問題点があった。

【0005】本発明は、上述のような事情に鑑みてなされたものであり、第1～23発明では、外部から与えられる第1電圧と第1電圧より低い第2電圧との任意の中間電圧が与えられる1又は複数の中間電圧ノードと、第1電圧、第2電圧及び中間電圧ノードから与えられる1又は複数の中間電圧の電圧間でそれぞれ作動する複数の動作回路と、中間電圧ノードを中間電圧に安定させるためのノード安定化回路とを設けることにより、トランジスタのゲートが放電する電荷を効率よく再利用して消費電力が小さいMOS ICを得ることを目的とする。

【0006】第24～26発明では、ソースに中間電圧が与えられるトランジスタの基板電位を、外部からの信号により複数の任意の電圧に切り替える基板電位供給回路を動作回路に設けることにより、第1～23発明にお

いて、ソースに中間電圧が与えられるトランジスタの基板電位を任意の所定電圧として、トランジスタの動作を高速にし、また、トランジスタの動作が低速で良いときは、トランジスタの基板電位を第1電圧、第2電圧又は任意の所定電圧にしてリーク電流を減少させ、トランジスタのゲートが放電する電荷を効率よく再利用して消費電力が小さいMOS ICを得ることを目的とする。

【0007】

【課題を解決するための手段】本発明の第1発明に係るMOS集積回路は、外部から与えられる第1電圧と第1電圧より低い第2電圧とを受けて作動するMOS集積回路において、第1電圧と第2電圧との任意の中間電圧が与えられる1又は複数の中間電圧ノードと、第1電圧、第2電圧及び前記中間電圧ノードから与えられる前記1又は複数の中間電圧の電圧間でそれぞれ作動する複数の動作回路と、前記中間電圧ノードを前記中間電圧に安定させるためのノード安定化回路とを備えることを特徴とする。

【0008】第1発明に係るMOS集積回路では、複数の動作回路が、第1電圧、第2電圧及び中間電圧ノードから与えられる中間電圧の電圧間でそれぞれ作動して、中間電圧ノードを充放電する。このとき、同じ中間電圧ノードでは、充放電が相殺し合って電荷の補充が不要になることがあり、その分の電力を消費しない。ノード安定化回路は、充放電が相殺し切れないことにより生じる、中間電圧ノードの電圧の振れを、中間電圧ノードの電荷を抜く（放電）か補充（充電）して安定させる。

【0009】第2発明に係るMOS集積回路は、中間電圧ノードの内、任意のものは、それぞれの中間電圧が外部から与えられるべくないことを特徴とする。

【0010】第2発明に係るMOS集積回路では、中間電圧ノードの内、任意のものは、それぞれの中間電圧が外部から与えられるので、その外部から与えられる中間電圧のノードを挟んで、第1電圧側にある中間電圧ノードと第2電圧側にある中間電圧ノードとが影響し合わないようにできる。

【0011】第3発明に係るMOS集積回路は、複数の動作回路は、第1電圧と中間電圧との間で作動する第1の動作回路と、前記中間電圧と第2電圧との間で作動する第2の動作回路とであり、ノード安定化回路は、中間電圧が基準電圧として与えられる第1の基準電圧ノードを有し、第1の基準電圧ノードの電圧よりも中間電圧ノードの電圧が高いときは該中間電圧ノードを放電させ、第1の基準電圧ノードの電圧よりも該中間電圧ノードの電圧が低いときは該中間電圧ノードを充電して、該中間電圧ノードの電圧を第1の基準電圧ノードの電圧に安定させるべくないことを特徴とする。

【0012】第3発明に係るMOS集積回路では、第1の動作回路が、第1電圧と中間電圧との間で作動し、第2の動作回路が、中間電圧と第2電圧との間で作動し

て、中間電圧ノードを充放電する。このとき、中間電圧ノードでは、充放電が相殺し合って電荷の補充が不要になることがあり、その分の電力を消費しない。ノード安定化回路は、充放電が相殺し切れず、中間電圧ノードの電圧が低下して、第1の基準電圧ノードの電圧よりも中間電圧ノードの電圧が低くなったときは、中間電圧ノードを充電する。中間電圧ノードの電圧が上昇して、第1の基準電圧ノードの電圧よりも中間電圧ノードの電圧が高くなったときは、中間電圧ノードを放電させる。ノード安定化回路は、これにより、中間電圧ノードの電圧を基準電圧ノードの電圧に安定させる。

【0013】第4発明に係るMOS集積回路は、第1電圧のノード及び中間電圧ノードの間に接続された第1の容量と、第2電圧のノード及び該中間電圧ノードの間に接続された第2の容量とを備えることを特徴とする。

【0014】第4発明に係るMOS集積回路では、第1電圧のノード及び中間電圧ノードの間に接続された第1の容量と、第2電圧のノード及び中間電圧ノードの間に接続された第2の容量とを備えているので、第1電圧及び第2電圧が変動した場合の影響を小さくできる。

【0015】第5発明に係るMOS集積回路は、複数の動作回路は、第1電圧と中間電圧との間で作動する第1の動作回路と、前記中間電圧と第2電圧との間で作動する第2の動作回路とであり、ノード安定化回路は、複数の中間電圧が基準電圧として与えられ、該基準電圧は第2の基準電圧と第2の基準電圧より高い第3の基準電圧とであり、第2の基準電圧が与えられる第2の基準電圧ノードと、第3の基準電圧が与えられる第3の基準電圧ノードとを有し、第3の基準電圧ノードの電圧よりも中間電圧ノードの電圧が高いときは、該中間電圧ノードを放電させ、第2の基準電圧ノードの電圧よりも該中間電圧ノードの電圧が低いときは該中間電圧ノードを充電すべくないことを特徴とする。

【0016】第5発明に係るMOS集積回路では、第1の動作回路が、第1電圧と中間電圧との間で作動し、第2の動作回路が、中間電圧と第2電圧との間で作動して、中間電圧ノードを充放電する。このとき、中間電圧ノードでは、充放電が相殺し合って電荷の補充が不要になることがあり、その分の電力を消費しない。ノード安定化回路は、第3の基準電圧ノードの電圧よりも中間電圧ノードの電圧が高いときは、中間電圧ノードを放電させ、第2の基準電圧ノードの電圧よりも中間電圧ノードの電圧が低いときは該中間電圧ノードを充電して、必要以上に過敏に反応することを抑制する。

【0017】第6発明に係るMOS集積回路は、ノード安定化回路は、基準電圧が、内部に配置された抵抗の分圧によって生成されるべくないことを特徴とする。

【0018】第6発明に係るMOS集積回路では、ノード安定化回路は、基準電圧が、内部に配置された抵抗の

分圧によってそれぞれ生成されるので、外部から基準電圧を与える必要がない。

【0019】第7発明に係るMOS集積回路は、ノード安定化回路は、基準電圧が、MOS集積回路の外部から与えられるべくしてあることを特徴とする。

【0020】第7発明に係るMOS集積回路では、ノード安定化回路は、基準電圧が、MOS集積回路の外部から与えられるので、中間電圧を容易に調節することができ、動作マージン等で問題が生じた場合でも対応が可能である。

【0021】第8発明に係るMOS集積回路は、ノード安定化回路は、第1電圧、第2電圧及び基準電圧の内の、互いに隣合う電圧値の電圧がそれぞれ与えられるノードの間に接続された容量を備えることを特徴とする。

【0022】第8発明に係るMOS集積回路では、ノード安定化回路は、第1電圧、第2電圧及び基準電圧の内の、互いに隣合う電圧値の電圧がそれぞれ与えられるノードの間に接続された容量を備えているので、第1電圧及び第2電圧が変動した場合の影響を小さくできる。

【0023】第9発明に係るMOS集積回路は、第1の動作回路及び第2の動作回路は、それぞれが有するPチャネル形トランジスタに与えられる基板電位が第1電圧であり、それぞれが有するNチャネル形トランジスタに与えられる基板電位が第2電圧であることを特徴とする。

【0024】第9発明に係るMOS集積回路では、第1の動作回路及び第2の動作回路は、それぞれが有するPチャネル形トランジスタが与えられる基板電位が第1電圧であり、それぞれが有するNチャネル形トランジスタが与えられる基板電位が第2電圧であるので、それぞれが有するトランジスタの駆動能力が安定した増大する。また、それぞれが有するトランジスタのリーク電流が減少する。また、それぞれが有するトランジスタの配置が容易である。

【0025】第10発明に係るMOS集積回路は、第1の動作回路は、第1電圧及び第2電圧間の振幅の入力信号を第1電圧及び中間電圧間の振幅の信号に変換する第1のレベル変換回路を有し、第2の動作回路は、第1電圧及び第2電圧間の振幅の入力信号を前記中間電圧及び第2電圧間の振幅の信号に変換する第2のレベル変換回路を有することを特徴とする。

【0026】第10発明に係るMOS集積回路では、第1のレベル変換回路が、第1電圧及び第2電圧間の振幅の入力信号を第1電圧及び中間電圧間の振幅の信号に変換するので、第1の動作回路は、第1電圧及び中間電圧間で作動できる。また、第2のレベル変換回路が、第1電圧及び第2電圧間の振幅の入力信号を中間電圧及び第2電圧間の振幅の信号に変換するので、第2の動作回路は、第1電圧及び中間電圧間で作動できる。

【0027】第11発明に係るMOS集積回路は、第1

の動作回路は、第1電圧及び中間電圧間の振幅の出力信号を第1電圧及び第2電圧間の振幅の信号に変換して出力する第3のレベル変換回路を有し、第2の動作回路は、前記中間電圧及び第2電圧間の振幅の出力信号を第1電圧及び第2電圧間の振幅の信号に変換して出力する第4のレベル変換回路を有することを特徴とする。

【0028】第11発明に係るMOS集積回路では、第3のレベル変換回路が、第1電圧及び中間電圧間の振幅の出力信号を第1電圧及び第2電圧間の振幅の信号に変換するので、第1の動作回路は、外部との信号の遣り取りができる。また、第4のレベル変換回路が、中間電圧及び第2電圧間の振幅の出力信号を第1電圧及び第2電圧間の振幅の信号に変換して出力するので、第2の動作回路は、外部との信号の遣り取りができる。

【0029】第12発明に係るMOS集積回路は、第1の動作回路は、クロックを分配するための1又は複数のクロックバッファ回路を有する第1のクロックドライバ回路を備え、第2の動作回路は、1又は複数の前記クロックバッファ回路を有する第2のクロックドライバ回路を備えて、第1のクロックドライバ回路に与えられるクロックと第2のクロックドライバ回路に与えられるクロックとは、半周期ずれるべくしてあることを特徴とする。

【0030】第12発明に係るMOS集積回路では、第1のクロックドライバ回路に与えられるクロックと第2のクロックドライバ回路に与えられるクロックとは、半周期ずれるべくしてあるので、第1のクロックドライバ回路と第2のクロックドライバ回路とは、反転波形の電圧で作動し、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0031】第13発明に係るMOS集積回路は、第1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれのクロックバッファ回路の数が等しく、また、それぞれのクロックドライバ回路内においてクロックが与えられる順番が等しいそれぞれのクロックバッファ回路は、ドライブ能力が等しいことを特徴とする。

【0032】第13発明に係るMOS集積回路では、第1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれのクロックバッファ回路の数が等しく、また、それぞれのクロックドライバ回路内においてクロックが与えられる順番が等しいそれぞれのクロックバッファ回路は、ドライブ能力が等しいので、それぞれに流れる電流が相殺し易くなり、消費電力が減少する。

【0033】第14発明に係るMOS集積回路は、第1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれのクロックドライバ回路内においてクロックが与えられる順番が等しいそれぞれのクロックバッファ回路同士を対にし隣接して配置したことを特徴とする。

【0034】第14発明に係るMOS集積回路では、第

1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれのクロックドライバ回路内においてクロックが与えられる順番が等しいそれぞれのクロックバッファ回路同士を対にし隣接して配置しているので、それぞれの対のクロックバッファ回路同士は、それぞれの配線に寄生する負荷容量を等しくできる。また、それぞれの対のクロックバッファ回路同士は隣接し、同じタイミングで作動するので、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなる。

【0035】第15発明に係るMOS集積回路は、第1の動作回路は、Nビット（Nは自然数）からなる多ビット構成の機能ブロックの、nビット分（ $1 \leq n \leq N-1$ ）を作動させる第1のビット部分を備え、第2の動作回路は、前記機能ブロックの、mビット分（ $m = N-n$ ）を作動させる第2のビット部分を備えることを特徴とする。

【0036】第15発明に係るMOS集積回路では、第1の動作回路は、Nビット（Nは自然数）からなる多ビット構成の機能ブロックの、nビット分（ $1 \leq n \leq N-1$ ）を作動させる第1のビット部分を備え、第2の動作回路は、前記機能ブロックの、mビット分（ $m = N-n$ ）を作動させる第2のビット部分を備えているので、第1のビット部分と第2のビット部分とは、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0037】第16発明に係るMOS集積回路は、第1のビット部分と第2のビット部分とは、ビット数が等しい（ $n = m$ 、Nは偶数）ことを特徴とする。

【0038】第16発明に係るMOS集積回路では、第1のビット部分と第2のビット部分とは、ビット数が等しい（ $n = m$ 、Nは偶数）ので、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0039】第17発明に係るMOS集積回路は、Nビットからなる多ビット構成の機能ブロックは、バスドライバを備えることを特徴とする。

【0040】第17発明に係るMOS集積回路では、Nビットからなる多ビット構成の機能ブロックは、大きな容量を駆動するドライバが同時にスイッチングを起こすバスドライバを備えているので、ドライバそれぞれに流れる電流が相殺し合って、消費電力が減少する。

【0041】第18発明に係るMOS集積回路は、Nビットからなる多ビット構成の機能ブロックは、メモリを備えることを特徴とする。

【0042】第18発明に係るMOS集積回路では、Nビットからなる多ビット構成の機能ブロックは、メモリを備えているので、メモリそれぞれに流れるメモリに対するアクセスが無い場合のスタンバイ電流等が相殺し合って、消費電力が減少する。

【0043】第19発明に係るMOS集積回路は、Nビットからなる多ビット構成の機能ブロックは、データバス部を備えることを特徴とする。

【0044】第19発明に係るMOS集積回路では、Nビットからなる多ビット構成の機能ブロックは、データバス部を備えているので、適当なビット単位で第1のビット部分と第2のビット部分とを交互にレイアウトすることにより、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって、消費電力が減少する。

【0045】第20発明に係るMOS集積回路は、Nビットからなる多ビット構成の機能ブロックは、第1のビット部分と第2のビット部分とをそれぞれ複数に分割し、複数に分割した第1のビット部分の分割片と複数に分割した第2のビット部分の分割片とを交互に配置したことを特徴とする。

【0046】第20発明に係るMOS集積回路では、Nビットからなる多ビット構成の機能ブロックは、第1のビット部分と第2のビット部分とをそれぞれ複数に分割し、複数に分割した第1のビット部分の分割片と複数に分割した第2のビット部分の分割片とを交互に配置しているので、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって消費電力が減少する。

【0047】第21発明に係るMOS集積回路は、交互に配置した、複数に分割した第1のビット部分の分割片と複数に分割した第2のビット部分の分割片とは、その境界に中間電圧の配線がなされたことを特徴とする。

【0048】第21発明に係るMOS集積回路では、交互に配置した、複数に分割した第1のビット部分の分割片と複数に分割した第2のビット部分の分割片とは、その境界に中間電圧の配線がなされているので、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって消費電力が減少する。

【0049】第22発明に係るMOS集積回路は、1又は複数の第1の動作回路よりなるレイアウトブロックと、1又は複数の第2の動作回路の部分よりなるレイアウトブロックとを備えたことを特徴とする。

【0050】第22発明に係るMOS集積回路では、1つ以上の第1の動作回路よりなるレイアウトブロックと、1つ以上の第2の動作回路の部分よりなるレイアウトブロックとを備えているので、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0051】第23発明に係るMOS集積回路は、第1の動作回路よりなるレイアウトブロックと第2の動作回路よりなるレイアウトブロックとの境界に中間電圧の配線をなしたことを特徴とする。

【0052】第23発明に係るMOS集積回路では、第1の動作回路よりなるレイアウトブロックと第2の動作回路よりなるレイアウトブロックとの境界に中間電圧の配線をなしているので、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって、消費電力が減少する。

【0053】第24発明に係るMOS集積回路は、動作回路は、ソースに中間電圧が与えられるトランジスタの基板電位を、外部からの信号により複数の任意の電圧に切り替える基板電位供給回路を備えることを特徴とする。

【0054】第24発明に係るMOS集積回路では、動作回路に備わった基板電位供給回路が、ソースに中間電圧が与えられるトランジスタの基板電位を、外部からの信号により複数の任意の電圧に切り替える。これにより、基板電位の値に応じた漏れ電流の大小と動作速度の高低とを勘案した、動作回路の動作態様に応じて、基板電位を切り替えることができる。つまり、トランジスタの動作速度を高速にしたいときは、基板電位を任意の所定電圧にすることができ、動作速度が遅くても良いときは、トランジスタのゲートと基板との電圧差を大きくして、リーク電流を減少させることができる。

【0055】第25発明に係るMOS集積回路は、第1の動作回路は、ソースに中間電圧が与えられるNチャネル形トランジスタの基板電位を、外部からの信号により複数の任意の電圧に切り替える第1の基板電位供給回路を備え、第2の動作回路は、ソースに中間電圧が与えられるPチャネル形トランジスタの基板電位を、前記外部からの信号により複数の任意の電圧に切り替える第2の基板電位供給回路を備えることを特徴とする。

【0056】第25発明に係るMOS集積回路では、第1の基板電位供給回路が、第1の動作回路が有する、ソースに中間電圧が与えられるNチャネル形トランジスタの基板電位を、外部からの信号により複数の任意の所定電圧に切り替え、第2の基板電位供給回路が、第2の動作回路が有する、ソースに中間電圧が与えられるPチャネル形トランジスタの基板電位を、外部からの信号により複数の任意の所定電圧に切り替える。

【0057】これにより、基板電位の値に応じた漏れ電流の大小と動作速度の高低とを勘案した、第1の動作回路及び第2の動作回路の動作態様に応じて、それぞれが有する、ソースに中間電圧が与えられるトランジスタの基板電位を切り替えることができる。つまり、トランジスタの動作速度を高速にしたいときは、基板電位を任意の所定電圧にすることができ、動作速度が遅くても良いときは、トランジスタのゲートと基板との電圧差を大きくして、リーク電流を減少させることができる。

【0058】第26発明に係るMOS集積回路は、第1の基板電位供給回路が、ソースに中間電圧が与えられるNチャネル形トランジスタの基板電位を中間電圧に切り替えるときは、第2の基板電位供給回路は、ソースに中間電圧が与えられるPチャネル形トランジスタの基板電位を中間電圧に切り替え、第1の基板電位供給回路が、前記Nチャネル形トランジスタの基板電位を第2電圧に切り替えるときは、第2の基板電位供給回路は、前記Pチャネル形トランジスタの基板電位を第1電圧に切り替

えるべくしてあることを特徴とする。

【0059】第26発明に係るMOS集積回路では、第1の基板電位供給回路が、ソースに中間電圧が与えられるNチャネル形トランジスタの基板電位を中間電圧に切り替えるときは、それに同期して、第2の基板電位供給回路が、ソースに中間電圧が与えられるPチャネル形トランジスタの基板電位を中間電圧に切り替える。また、第1の基板電位供給回路が、前記Nチャネル形トランジスタの基板電位を第2電圧に切り替えるときは、それに同期して、第2の基板電位供給回路が、前記Pチャネル形トランジスタの基板電位を第1の電圧に切り替える。

【0060】これにより、基板電位の値に応じた漏れ電流の大小と動作速度の高低とを勘案した、第1の動作回路及び第2の動作回路の動作態様の变化に同期して、第1の動作回路及び第2の動作回路それぞれが有する、ソースに中間電圧が与えられるトランジスタの基板電位を切り替える。このとき、一方が有するトランジスタの基板電位が中間電圧となるときは、他方が有するトランジスタの基板電位も中間電圧となる。

【0061】

【発明の実施の形態】以下に本発明の実施の形態を、それを示す図面を参照しながら説明する。

実施の形態1. 図1は、本発明に係るMOS IC (MOS集積回路) の実施の形態1の構成を示すブロック図であり、電源電圧Vccと接地電位とが与えられたMOS IC1が、単一の電源(電圧) Vccを印加されていることを示している。

【0062】図2は、MOS IC1の電源供給方式について説明するためのブロック図である。ここでは、Pチャネル形トランジスタ(以下、PchTrと称す) 21とNチャネル形トランジスタ(以下、NchTrと称す) 22とがドレイン同士で接続され、PchTr 21のソースに電源電圧Vccが与えられたインバータと、PchTr 23とNchTr 24とがドレイン同士で接続され、NchTr 24のソースが接地されたインバータとが、NchTr 22とPchTr 23とのソース同士で接続されている。

【0063】NchTr 22とPchTr 23との接続ノード(節点)は、例えば電源電圧Vccの1/2の中間電圧Vmidを出力する中間電圧用電源(ノード安定化回路) 27の出力端子が接続され、中間電圧ノードになっている。PchTr 21、23の基板電位は電源電圧Vccが与えられ、NchTr 22、24の基板電位は接地されている。PchTr 21とNchTr 22とのドレイン同士の接続ノード(インバータの出力ノード) Aには、寄生の負荷容量25が存在し、PchTr 23とNchTr 24とのドレイン同士の接続ノードBには、寄生の負荷容量26が存在する。

【0064】PchTr 21とNchTr 22とからなるインバータ(第1の動作回路の例、単純化のために1

つて代表させる。)は、電源電圧 V_{cc} ～中間電圧 V_{mid} の範囲の高圧側レベルで作動させ、 $PchTr23$ と $NchTr24$ とからなるインバータ(第2の動作回路の例、単純化のために1つで代表させる。)は、中間電圧 V_{mid} ～接地電位の範囲の低圧側レベルで作動させる。ここで、各インバータの能力、寄生の負荷容量25、26が同じで、スイッチングのタイミングも同一、さらに信号レベルの遷移方向が反対である場合を考える。この場合、各インバータの出力波形は図4に示すようになる。出力ノードAの電圧の立ち上がり(出力ノードBの電圧の立ち下がり)(時刻a)では、 $NchTr24$ と $PchTr21$ とがオンしており、負荷容量25は電荷が蓄えられ、負荷容量26は電荷が放出される。

【0065】出力ノードAの電圧の立ち下がり(出力ノードBの電圧の立ち上がり)(時刻b)では、 $PchTr23$ と $NchTr22$ とがオンしており、負荷容量26は電荷が蓄えられ、負荷容量25は電荷が放出される。このとき、電荷再分布が生じるが、2つの容量25、26が同じなので中間電圧 V_{mid} は中間電圧用電源27から電荷の供給がなされなくても一定に保たれる。つまり、負荷容量25の電荷が、 $NchTr22$ と $PchTr23$ との接続ノードを通じて移動し、負荷容量26の充電に再利用されたことになる。

【0066】ソース側に中間電圧 V_{mid} が与えられる $NchTr22$ は、基板電位が中間電圧 V_{mid} ではなく接地されている。これは、基板電位を、変動する可能性のある中間電圧 V_{mid} にすると、 Tr の駆動能力が変化してしまうためである。基板電位を接地すると、駆動能力が安定するだけでなく、駆動能力が増大する。また、基板電位を下げると、基板効果によって閾値電圧 V_{th} が上がり、リーク電流が減少する効果がある。また、基板電位を接地すると、MOS IC上のレイアウトが容易になる。つまり、基板電位を与えるために、MOS IC1上に中間電圧 V_{mid} のためのウエルを作成するのは、レイアウトを難しくする。同様の理由により、ソース側に中間電圧 V_{mid} が与えられる $PchTr23$ は、基板電位が中間電圧 V_{mid} ではなく電源電圧 V_{cc} になっている。

【0067】2つのインバータのスイッチングタイミングがずれて、負荷容量25の電荷の一部が、負荷容量26の充電に再利用されないときは、不足した電荷は、中間電圧用電源27から供給される。尚、上述では、単純化のために、第1動作回路及び第2動作回路をそれぞれインバータ1つ宛で説明したが、第1動作回路及び第2動作回路の規模がより大きい場合でも同様のことが言える。

【0068】図3は、中間電圧用電源27の構成例を示す回路図である。中間電圧用電源27は、直列接続された2つの抵抗36、37の、抵抗36の他端に電源電圧 V_{cc} が与えられ、抵抗37の他端が接地されている。抵

抗36、37の接続点には、他端に電源電圧 V_{cc} が与えられた容量30と、他端が接地された容量39とが接続されている。抵抗36、37の接続点の、抵抗36と抵抗37との電源電圧 V_{cc} の分圧は、第1基準電圧 V_{ref} として、OPアンプ31の非反転入力端子とOPアンプ32の反転入力端子とへ与えられている。

【0069】OPアンプ31の出力端子は、電源電圧 V_{cc} がドレイン接続された $NchTr33$ のゲートへ接続され、OPアンプ32の出力端子は、ソース接地された $NchTr34$ のゲートへ接続されている。OPアンプ31の反転入力端子とOPアンプ32の非反転入力端子とは、共通接続された $NchTr33$ のソースと $NchTr34$ のドレインとに共通接続されている。 $NchTr33$ のソースと $NchTr34$ のドレインとの共通接続点には、他端に電源電圧 V_{cc} が与えられた容量38と、他端が接地された容量35とが接続されている。 $NchTr33$ のソースと $NchTr34$ のドレインとの共通接続点は、中間電圧 V_{mid} が生成され、中間電圧ノードになっている。 $NchTr33$ の基板電位及び $NchTr34$ の基板電位は接地されている。

【0070】第1基準電圧 V_{ref} は中間電圧 V_{mid} の電位を決める基準電圧である。第1基準電圧 V_{ref} は抵抗36、37の比で決められる。中間電圧 V_{mid} が第1基準電圧 V_{ref} よりも低下したとき、OPアンプ31がそれを検出し、 $NchTr33$ をオンさせて、中間電圧ノードに電荷を供給する。反対に中間電圧 V_{mid} が第1基準電圧 V_{ref} よりも上昇したとき、OPアンプ32がそれを検出し、 $NchTr34$ をオンさせて、中間電圧ノードから電荷を引き抜く。中間電圧ノードに容量38と容量35とを付加しているのは、電源電圧 V_{cc} と接地電位のレベルとが変動したときの影響を小さくし、中間電圧 V_{mid} を安定させるためである。容量38、35は、中間電圧 V_{mid} を安定化させるための十分な大きさを有し、また、大きさがほぼ同じである。

【0071】尚、上述では、第1基準電圧は抵抗の分圧で得ているが、第1基準電圧をMOS IC1の外部から与えるようにしても良い。この場合、第1の基準電圧を容易に調節することができ、動作マージン等で問題が生じた場合でも対応が可能である。また、中間電圧用電源27内の容量38、35は、中間電圧用電源27に含めず、中間電圧用電源27外で中間電圧ノードに接続する場合も、上述と同様である。

【0072】実施の形態2。図5は、本発明に係るMOS ICの実施の形態2に使用される中間電圧用電源27aの構成例を示す回路図である。中間電圧用電源27aは、直列接続された3つの抵抗506、507、508の、抵抗506の他端に電源電圧 V_{cc} が与えられ、抵抗508の他端が接地されている。抵抗506、507の接続点には、他端に電源電圧 V_{cc} が与えられた容量509が接続され、抵抗507、508の接続点には、他

15

端が接地された容量511が接続され、抵抗507には、容量510が並列に接続されている。

【0073】抵抗507、508の接続点の、抵抗506、507と抵抗508との電源電圧 V_{cc} の分圧は、第2基準電圧 V_{ref1} として、OPアンプ501の非反転入力端子へ与えられている。抵抗506、507の接続点の、抵抗506と抵抗507、508との電源電圧 V_{cc} の分圧は、第3基準電圧 V_{ref2} として、OPアンプ502の反転入力端子へ与えられている。

【0074】OPアンプ501の出力端子は、電源電圧 V_{cc} がドレイン接続されたNchTr503のゲートへ接続され、OPアンプ502の出力端子は、ソース接地されたNchTr504のゲートへ接続されている。OPアンプ501の反転入力端子とOPアンプ502の非反転入力端子とは、共通接続されたNchTr503のソースとNchTr504のドレインとに共通接続されている。NchTr503のソースとNchTr504のドレインとの共通接続点には、他端に電源電圧 V_{cc} が与えられた容量512と、他端が接地された容量505とが接続されている。

【0075】NchTr503のソースとNchTr504のドレインとの共通接続点は、中間電圧 V_{mid} が生成され、中間電圧ノードになっている。NchTr503、504の基板電位は接地されている。その他の実施の形態2のMOS ICの構成は、実施の形態1の構成と同様であるので、説明を省略する。

【0076】第2基準電圧 V_{ref1} と第3基準電圧 V_{ref2} とは抵抗506、507、508の比で決められる。ここで、第2基準電圧 V_{ref1} と第3基準電圧 V_{ref2} との関係は、 $V_{ref2} > V_{ref1}$ である。中間電圧ノードの中間電圧 V_{mid} が第2基準電圧 V_{ref1} よりも低下したとき、OPアンプ501がそれを検出し、NchTr503をオンさせて、中間電圧ノードに電荷を供給する。反対に、中間電圧ノードの中間電圧 V_{mid} の電位が第3基準電圧 V_{ref2} よりも上昇したとき、OPアンプ502がそれを検出し、NchTr504をオンさせて、中間電圧ノードから電荷を引き抜く。

【0077】中間電圧用電源27aの、中間電圧用電源27(図3)との違いは、第2基準電圧 V_{ref1} ～第3基準電圧 V_{ref2} の電圧範囲(不感帯)では、2つのOPアンプ501、502が作動しないことである。この電圧範囲の間では、容量512、505の電荷が中間電圧ノードの中間電圧 V_{mid} を安定化するために使われる。これによって、中間電圧用電源27aが必要以上に過敏に反応することを押さえることができる。

【0078】中間電圧ノードに容量512と容量505とを付加しているのは、電源電圧 V_{cc} と接地電位のレベルとが変動したときの影響を小さくし、中間電圧 V_{mid} を安定させるためである。容量512、505は、中間電圧 V_{mid} を安定化させるための十分な大きさを有し、

16

また、大きさがほぼ同じである。また、容量509、510、511も、第2基準電圧 V_{ref1} と第3基準電圧 V_{ref2} とを安定化させるのための十分な大きさを有している。尚、上述では、第2基準電圧 V_{ref1} と第3基準電圧 V_{ref2} とは抵抗の分圧で得ているが、第2基準電圧 V_{ref1} 、第3基準電圧 V_{ref2} をMOS IC1の外部から与えるようにしても良い。この場合、中間電圧 V_{mid} の許容範囲を自由に変更することができ、動作マージン等で問題が生じた場合でも対応が可能である。

【0079】図6は、本実施の形態の場合の図2に示した動作回路の出力波形を示している。図6に示すように、出力ノードAと出力ノードBの出力のタイミングが多少ずれたときも、中間電圧 V_{mid} が多少ふらつくものの、第2基準電圧 V_{ref1} ～第3基準電圧 V_{ref2} の範囲で、中間電圧用電源27aから電荷供給を受けないように作動させることができる。その他の実施の形態2のMOS ICの動作は、実施の形態1の動作と同様であるので、説明を省略する。

【0080】実施の形態3. 図7は、本発明に係るMOS ICの実施の形態3に使用される中間電圧用電源27bの構成例を示す回路図である。中間電圧用電源27bは、中間電圧用電源27a(図5)のOPアンプ501、502がレギュレータに置き代わったものである。中間電圧用電源27bは、直列接続された3つの抵抗74、75、76の、抵抗74の他端に電源電圧 V_{cc} が与えられ、抵抗76の他端が接地されている。抵抗74、75の接続点には、他端に電源電圧 V_{cc} が与えられた容量77が接続され、抵抗75、76の接続点には、他端が接地された容量79が接続され、抵抗75には、容量78が並列に接続されている。

【0081】抵抗75、76の接続点の、抵抗74、75と抵抗76との分圧は、第2基準電圧 V_{ref1} として、第1レギュレータ71に与えられている。抵抗74、75の接続点の、抵抗74と抵抗75、76との電源電圧 V_{cc} の分圧は、第3基準電圧 V_{ref2} として、第2レギュレータ72に与えられている。第1レギュレータ71の出力端子と第2レギュレータ72の出力端子とは共通接続され、その共通接続点には、他端に電源電圧 V_{cc} が与えられた容量70と、他端が接地された容量73とが接続されている。第1レギュレータ71及び第2レギュレータ72の出力端子の共通接続点には、中間電圧 V_{mid} が生成され、中間電圧ノードになっている。

【0082】図8は、第1レギュレータ71の構成例を示した回路図である。第1レギュレータ71は、カレントミラー回路を用いており、直列接続されたPchTrとNchTrのTr対を2対並列接続し、PchTr801、802のソースに電源電圧 V_{cc} を与え、NchTr803、804のソースと接地端子との間に、定電流源としてNchTr805を接続している。一方のTr対のPchTr801及びNchTr803の共通接続

されたドレインは、各PchTr801、802のゲートに接続している。NchTr805のゲートは、抵抗809を介して電源電圧Vccに接続されると共に、ソースが接地されゲートとドレインとが接続されたNchTr808のドレインに接続されている。

【0083】第2基準電圧Vref1は、バックゲートとソースとが接続されたPchTr807のソースに与えられている。PchTr807のゲートは接地され、ドレインはNchTr803のゲートに接続されている。NchTr803のゲートには、他方が接地された容量811が接続されている。他方のTr対のPchTr802及びNchTr804の共通接続されたドレインは、ドレインが抵抗810を介して電源電圧Vccに接続されたNchTr806のゲートに接続されている。NchTr806のソースは、バックゲートと接続されると共に、NchTr804のゲートに接続され、中間電圧Vmidが生成される中間電圧ノードになっている。

【0084】NchTr806のドレインとPchTr801、802のゲートとの間には容量812が接続されている。PchTr801、802の基板電位には電源電圧Vccが与えられ、NchTr805、808の基板電位は接地されている。

【0085】NchTr803のドレイン電流は、第2基準電圧Vref1により決定され、それに伴いPchTr801、802のゲート電圧が決まる。そのため、PchTr802のドレイン電流は、第2基準電圧Vref1により決められている。一方、NchTr804のドレイン電流は、中間電圧Vmidにより決定される。中間電圧Vmidが第2基準電圧Vref1より高いときは、PchTr802のドレイン電流とNchTr804のドレイン電流とは等しく、NchTr806のゲート電圧は変化せず、第1レギュレータは定常状態を保つ。中間電圧Vmidが第2基準電圧Vref1より低下したときは、NchTr804のドレイン電流が減少するので、PchTr802のドレイン電流とNchTr804のドレイン電流とが等しくなるように、NchTr806のゲート電圧が変動し、それに伴い、中間電圧Vmidが上昇する。

【0086】図9は、第2レギュレータ72の構成例を示した回路図である。第2レギュレータ72は、カレントミラー回路を用いており、直列接続されたPchTrとNchTrのTr対を2対並列接続し、PchTr901、902のソースに電源電圧Vccを与え、NchTr903、904のソースと接地端子との間に、定電流源としてNchTr905を接続している。一方のTr対のPchTr901及びNchTr903の共通接続されたドレインは、各PchTr901、902のゲートに接続している。NchTr905のゲートは、抵抗909を介して電源電圧Vccに接続されると共に、ソースが接地されゲートとドレインとが接続されたNchTr908のドレインに接続されている。

【0087】第3基準電圧Vref2は、バックゲートとソースとが接続されたPchTr907のソースに与えられている。PchTr907のゲートは接地され、ドレインはNchTr903のゲートに接続されている。NchTr903のゲートには、他方が接地された容量911が接続されている。他方のTr対のPchTr902及びNchTr904の共通接続されたドレインは、ドレインが抵抗910を介して接地されたPchTr906のゲートに接続されている。PchTr906のソースは、バックゲートと接続されると共に、NchTr904のゲートに接続され、中間電圧Vmidが生成される中間電圧ノードになっている。

【0088】PchTr906のドレインとPchTr901、902のゲートとの間には容量912が接続されている。PchTr901、902の基板電位には電源電圧Vccが与えられ、NchTr905、908の基板電位は接地されている。

【0089】NchTr903のドレイン電流は、第3基準電圧Vref2により決定され、それに伴いPchTr901、902のゲート電圧が決まる。そのため、PchTr902のドレイン電流は、第3基準電圧Vref2により決められている。一方、NchTr904のドレイン電流は、中間電圧Vmidにより決定される。中間電圧Vmidが第3基準電圧Vref2より低いときは、PchTr902のドレイン電流とNchTr904のドレイン電流とは等しく、PchTr906のゲート電圧は変化せず、第2レギュレータは定常状態を保つ。

【0090】中間電圧Vmidが第3基準電圧Vref2より上昇したときは、NchTr904のドレイン電流が減少するので、PchTr902のドレイン電流とNchTr904のドレイン電流とが等しくなるように、PchTr906のゲート電圧が変動し、それに伴い、中間電圧Vmidが低下する。その他の実施の形態3のMOS ICの構成は、実施の形態1の構成と同様であるので、説明を省略する。

【0091】第1レギュレータ71は、中間電圧Vmidが第2基準電圧Vref1より低下したときは、中間電圧Vmidを上昇させる（電荷を供給する）。また、中間電圧Vmidが第3基準電圧Vref2より上昇したときは、中間電圧Vmidを低下させる（電荷を引き抜く）。従って、中間電圧用電源27bは、第2基準電圧Vref1～第3基準電圧Vref2の電圧範囲（不感帯）では作動せず、この電圧範囲の間では、容量70、73の電荷が中間電圧ノードの中間電圧Vmidを安定化するために使われる。これによって、中間電圧用電源27bが必要以上に過敏に反応することを押さえることができる。

【0092】中間電圧ノードに容量70と容量73とを付加しているのは、電源電圧Vccと接地電位のレベルとが変動したときの影響を小さくし、中間電圧Vmidを安定させるためである。容量70、73は、中間電圧Vmi

d を安定化させるための十分な大きさを有し、また、大きさがほぼ同じである。また、容量77, 78, 79も、第2基準電圧Vref1と第3基準電圧Vref2とを安定化させるための十分な大きさを有している。その他の実施の形態3のMOS ICの動作は、実施の形態1の動作と同様であるので、説明を省略する。尚、上述では、第2基準電圧Vref1と第3基準電圧Vref2とは抵抗の分圧で得ているが、第2基準電圧Vref1、第3基準電圧Vref2をMOS IC1の外部から与えるようにしても良い。この場合、中間電圧Vmidの許容範囲を自由に

【0093】実施の形態4. 図10は、クロックバッファ回路に本発明に係るMOS ICを適用した実施の形態の構成を示す回路図である。このMOS ICは、クロックジェネレータ（図示せず）からのクロックが直接与えられる第1のクロックドライバ回路（第1の動作回路）108と、クロックジェネレータからのクロックがインバータ107を介して与えられる第2のクロックドライバ回路（第2の動作回路）109とを備えている。

【0094】第1のクロックドライバ回路108は、クロックジェネレータからのクロックが与えられ、電源電圧Vcc及び接地電位間でフルスイングする信号を、電源電圧Vcc及び中間電圧Vmid（例えばVcc/2）間の高圧側レベルでスイングする信号に変換するレベル変換回路101と、高圧側レベルで動作するインバータ（クロックバッファ回路）102, 110, 111と、高圧側レベルでスイングする信号を、電源電圧Vcc及び接地電位間でフルスイングする信号（クロック）に変換し出力するレベル変換回路103とが直列接続されている。

【0095】第2のクロックドライバ回路109は、クロックジェネレータからのクロックがインバータ107を介して与えられ、電源電圧Vcc及び接地電位間でフルスイングする信号を、中間電圧Vmid及び接地電位間の低圧側レベルでスイングする信号に変換するレベル変換回路104と、低圧側レベルで動作するインバータ（クロックバッファ回路）105, 112, 113と、低圧側レベルでスイングする信号を、電源電圧Vcc及び接地電位間でフルスイングする信号（クロック）に変換し出力するレベル変換回路106とが直列接続されている。

【0096】ここで、インバータ102:105, 110:112, 111:113の対をなすインバータは同じドライブ能力を有する。また、それぞれの対のインバータの寄生容量（図示せず）も同じである。第1のクロックドライバ回路108及び第2のクロックドライバ回路109は、それぞれの内部回路に、中間電圧用電源27から中間電圧Vmidが与えられた中間電圧ノードが接続されている。

【0097】図11は、レベル変換回路101の構成例を示す回路図である。レベル変換回路101は、直列接

続されたPchTrとNchTrのTr対を2対並列接続し、PchTr112, 111のソースに電源電圧Vccを与え、NchTr113, 114のソースに中間電圧ノードが接続されている。クロックジェネレータ（図示せず）からのクロックは、PchTr111のゲートと、インバータ115を介してPchTr112のゲートとに与えられている。NchTr113のゲートとNchTr114のドレインとが接続され、NchTr114のゲートとNchTr113のドレインとが接続され、NchTr114のドレインとPchTr111のドレインとの共通接続点（出力ノード）から、高圧側レベルでスイングする信号が出力される。

【0098】図11のようにクロスカップルする部分がNchTr113, 114で構成されているので、出力ノードは、電源電圧Vcc及び中間電圧Vmid間の高圧側レベルで振れることができ、中間電圧Vmidまで下がることできる。PchTr111, 112の基板電位は、電源電圧Vccが与えられ、NchTr113, 114の基板電位は、接地電位が与えられている。

【0099】レベル変換回路101は、クロックジェネレータからのクロックが電源電圧Vccレベルのとき、PchTr112及びNchTr114がオンになって、中間電圧Vmidレベルの信号を出力する。クロックジェネレータからのクロックが接地電位レベルのとき、PchTr111及びNchTr113がオンになって、電源電圧Vccレベルのクロックを出力する。

【0100】図12は、レベル変換回路104の構成例を示す回路図である。レベル変換回路104は、直列接続されたPchTrとNchTrのTr対を2対並列接続し、PchTr121, 122のソースに中間電圧ノードが接続され、NchTr124, 123のソースが接地されている。クロックジェネレータ（図示せず）からのクロックは、NchTr123のゲートと、インバータ125を介してNchTr124のゲートとに与えられている。PchTr122のゲートとPchTr121のドレインとが接続され、PchTr121のゲートとPchTr122のドレインとが接続され、PchTr122のドレインとNchTr123のドレインとの共通接続点（出力ノード）から、低圧側レベルでスイングする信号が出力される。

【0101】図12のようにクロスカップルする部分がPchTr121, 122で構成されているので、出力ノードは、中間電圧Vmid及び接地電位間の低圧側レベルで振れることができ、中間電圧Vmidまで上がることできる。PchTr121, 122の基板電位は、電源電圧Vccが与えられ、NchTr123, 124の基板電位は、接地電位が与えられている。

【0102】レベル変換回路104は、クロックジェネレータからのクロックが電源電圧Vccレベルのとき、NchTr123及びPchTr121がオンになって、

接地電位レベルの信号を出力する。クロックジェネレータからのクロックが接地電位レベルのとき、NchTr 124及びPchTr 122がオンになって、中間電圧Vmidレベルのクロックを出力する。

【0103】図13は、レベル変換回路103の構成例を示す回路図である。レベル変換回路103は、直列接続されたPchTrとNchTrのTr対を2対並列接続し、PchTr 131、132のソースに電源電圧Vccを与え、NchTr 133、134のソースが接地されている。インバータ111からのクロックは、NchTr 134のゲートと、インバータ135を介してNchTr 133のゲートとに与えられている。PchTr 132のゲートとPchTr 131のドレインとが接続され、PchTr 131のゲートとPchTr 132のドレインとが接続され、PchTr 132のドレインとNchTr 134のドレインとの共通接続点(出力ノード)から、電源電圧Vcc及び接地電位間でフルスイングするクロックが出力される。

【0104】高圧側レベルでスイングする信号をフルスイングする信号に変換する場合は、入力ノードが電源電圧Vccから中間電圧Vmidまでしか振れないため、図13のように入力ノードを、NchTr 133、134のゲートにしなければ差分比較が十分にできない。PchTr 131、132の基板電位は、電源電圧Vccが与えられ、NchTr 133、134の基板電位は、接地電位が与えられている。

【0105】レベル変換回路103は、インバータ111からのクロックが電源電圧Vccレベルのとき、NchTr 134及びPchTr 131がオンになって、接地電位レベルの信号を出力する。インバータ111からのクロックが中間電圧Vmidレベルのとき、NchTr 133及びPchTr 132がオンになって、電源電圧Vccレベルのクロックを出力する。

【0106】図14は、レベル変換回路106の構成例を示す回路図である。レベル変換回路106は、直列接続されたPchTrとNchTrのTr対を2対並列接続し、PchTr 141、142のソースに電源電圧Vccを与え、NchTr 143、144のソースが接地されている。インバータ113からのクロックは、PchTr 142のゲートと、インバータ145を介してPchTr 141のゲートとに与えられている。NchTr 144のゲートとNchTr 143のドレインとが接続され、NchTr 143のゲートとNchTr 144のドレインとが接続され、NchTr 144のドレインとPchTr 142のドレインとの共通接続点(出力ノード)から、電源電圧Vcc及び接地電位間でフルスイングするクロックが出力される。

【0107】低圧側レベルでスイングする信号をフルスイングする信号に変換する場合は、入力ノードが中間電圧Vmidから接地電位までしか振れないため、図14の

ように入力ノードを、PchTr 141、142のゲートにしなければ差分比較が十分にできない。PchTr 141、142の基板電位は、電源電圧Vccが与えられ、NchTr 143、144の基板電位は、接地電位が与えられている。

【0108】レベル変換回路106は、インバータ113からのクロックが中間電圧Vmidレベルのとき、PchTr 141及びNchTr 144がオンになって、接地電位レベルの信号を出力する。インバータ113からのクロックが接地電位レベルのとき、PchTr 142及びNchTr 143がオンになって、電源電圧Vccレベルのクロックを出力する。

【0109】図15は、インバータ102、110、111の構成例を示す回路図である。インバータ102(110、111)は、PchTr 151とNchTr 152とがドレイン同士で接続され、PchTr 151のソースに電源電圧Vccが与えられ、NchTr 152のソースは中間電圧ノードに接続されている。PchTr 151及びNchTr 152のゲートの共通接続点が入力ノードであり、ドレインの共通接続点出力ノードである。

【0110】PchTr 151の基板電位は、電源電圧Vccが与えられ、NchTr 152の基板電位は接地されている。インバータ102は、入力されたクロックが電源電圧Vccレベルのとき、NchTr 152がオンになって、中間電圧Vmidレベルの信号を出力する。入力されたクロックが中間電圧Vmidレベルのとき、PchTr 151がオンになって、電源電圧Vccレベルのクロックを出力する。

【0111】図16は、インバータ105、112、113の構成例を示す回路図である。インバータ105(112、113)は、PchTr 161とNchTr 162とがドレイン同士で接続され、PchTr 161のソースが中間電圧ノードに接続され、NchTr 162のソースが接地されている。PchTr 161及びNchTr 162のゲートの共通接続点が入力ノードであり、ドレインの共通接続点出力ノードである。

【0112】PchTr 161の基板電位は、電源電圧Vccが与えられ、NchTr 162の基板電位は接地されている。インバータ105は、入力されたクロックが中間電圧Vmidレベルのとき、NchTr 162がオンになって、接地電位レベルの信号を出力する。入力されたクロックが接地電位レベルのとき、PchTr 161がオンになって、中間電圧Vmidレベルのクロックを出力する。その他の実施の形態4のMOS ICの構成は、実施の形態1の構成と同様であるので、説明を省略する。

【0113】図17は、図10に示した実施の形態4に係るMOS ICの、ノードC (clk-upper) 及びノードD (clk-lower) における信号波形を示した波形図で

ある。高圧側レベルで作動するクロックドライバ回路108と低圧側レベルで作動するクロックドライバ回路109との対応するノードはこの波形図に示すように、同じスイッチングタイミングで反転波形で作動するようになっている。

【0114】図18は、高圧側レベルで作動するクロックドライバ回路108で消費された電流 I_{upper} 、低圧側レベルで作動するクロックドライバ回路109で必要とされる電流 I_{lower} 、中間電圧用電源27から供給される電流 I_{reg} を示した波形図である。図18の時刻は図17の時刻と一致している。図17と図18から、クロックドライバ回路がスイッチングしているときに電流が流れていることが分かる。このスイッチングのタイミングは、クロックドライバ回路全体において略同じなので、中間電圧用電源27からあまり電流供給されずに作動している。

【0115】図19は、図10に示したMOS ICの中間電圧 V_{mid} の電圧波形を示した波形図である。図19の時刻は図18と同様に図17の時刻と一致している。クロックドライバ回路がスイッチングしているときに、中間電圧 V_{mid} が動揺していることが分かる。中間電圧 V_{mid} の動揺が大きいときに、中間電圧用電源27から電流が供給されていることが図18から分かる。中間電圧用電源27側からの電流の大部分は容量512、505から供給されている。そのため、実際にはNchTr503、504がオンして電源電圧 V_{cc} 又は接地電位から供給される電流は非常に少ない。その他の実施の形態4のMOS ICの動作は、実施の形態1の動作と同様であるので、説明を省略する。

【0116】実施の形態5。図20は、実施の形態4のMOS ICのレイアウトにおいて工夫を施した実施の形態5に係るMOS ICの構成及び配置例を示す回路図である。このMOS IC1aは、クロックを実際に分配できるようにしたレイアウト例を示したものである。図10におけるインバータ102、105、110、111、112、113は、それぞれ図20のものに対応している。

【0117】インバータ102:105、110:112、111:113は同じドライブ能力を有しており、図20では、これらに対して隣合うように配置している。こうすることによって、それぞれの対のインバータの配線に付随する寄生の負荷容量を等しくできる。それぞれの対のインバータ同士は、全く同じタイミングで作動する。同じタイミングで作動する回路を近くに置くことで、中間電圧ノードの電荷供給における配線抵抗による遅れが生じにくくなる。その他の実施の形態5のMOS ICの構成及び動作は、実施の形態4の構成及び動作と同様であるので、説明を省略する。

【0118】実施の形態6。図21は、バスドライバに本発明に係るMOS ICを適用した実施の形態の構成

を示す回路図である。バスドライバは、大きな容量を駆動するドライバが同時にスイッチングを起こすので、本発明を応用するのに適した回路である。この実施の形態では、2ビット毎に高圧側レベルで動作するトライステートバッファ(2100、2101~2160、2161)と低圧側レベルで動作するトライステートバッファ(2102、2103~2162、2163)とが、それぞれイネーブル信号線EN及びディスイネーブル信号線ENバーに接続されて並べられている。実際のレイアウトにおいてもビット順通りに配置する。

【0119】図22は、低圧側レベルで動作するトライステートバッファ2102の構成例を示す回路図である。トライステートバッファ2102は、直列接続されたPchTr2201、2202の、PchTr2201のソースが中間電圧ノードに接続され、ゲートにディスイネーブル信号線ENバーが接続されている。直列接続されたNchTr2203、2204の、NchTr2204のソースが接地され、ゲートにイネーブル信号線ENが接続されている。PchTr2202及びNchTr2203のドレイン同士及びゲート同士が接続され、それぞれの接続点が出力ノードDO(2)及び入力ノードDI(2)になっている。PchTr2201、2202の基板電位は、電源電圧 V_{cc} が与えられ、NchTr2203、2204の基板電位は接地されている。

【0120】トライステートバッファ2102は、イネーブル信号線ENが中間電圧 V_{mid} レベルのとき、PchTr2201及びNchTr2204がオンになり、PchTr2202及びNchTr2203が作動可能になる。イネーブル信号線ENが接地電位レベルのとき、PchTr2201及びNchTr2204がオフになり、PchTr2202及びNchTr2203は作動しない。

【0121】図23は、高圧側レベルで動作するトライステートバッファ2100の構成例を示す回路図である。トライステートバッファ2100は、直列接続されたPchTr2301、2302の、PchTr2301のソースに電源電圧 V_{cc} が与えられ、ゲートにディスイネーブル信号線ENバーが接続されている。直列接続されたNchTr2303、2304の、NchTr2304のソースに中間電圧ノードに接続され、ゲートにイネーブル信号線ENが接続されている。

【0122】PchTr2302及びNchTr2303のドレイン同士及びゲート同士が接続され、それぞれの接続点が出力ノードDO(0)及び入力ノードDI(0)になっている。PchTr2301、2302の基板電位は、電源電圧 V_{cc} が与えられ、NchTr2303、2304の基板電位は接地されている。

【0123】トライステートバッファ2100は、イネーブル信号線ENが電源電圧 V_{cc} レベルのとき、Pch

Tr2301及びNchTr2304がオンになり、PchTr2302及びNchTr2303が作動可能になる。イネーブル信号線ENが中間電圧Vmidレベルのとき、PchTr2301及びNchTr2304がオフになり、PchTr2302及びNchTr2303は作動しない。

【0124】本実施の形態のバスドライバは、バスドライバ全体を中心ビットで2分した場合と比較すると、このように複数の組に分割して配置する方が、中間電圧ノードの電荷供給における配線抵抗による遅れが生じにくくなる利点がある。この例では、2ビット毎を例にしているが、1ビット毎でも4ビット毎でも同じような効果を生じることは明らかである。その他の実施の形態6のMOS ICの構成及び動作は、実施の形態1の構成及び動作と同様であるので、説明を省略する。

【0125】実施の形態7。図24は、フルアソシアティブのキャッシュメモリに本発明に係るMOS ICを適用した実施の形態の構成を示すブロック図である。この実施の形態では、キャッシュメモリの容量は8KB、ラインサイズは32B、256エントリの構成である。A(4:0)は32Bのライン内のバイト位置、A(12:5)はエントリ選択、A(31:13)はアドレスタグ比較に用いられる。全エントリは2つの128エントリに分けられている。尚、A(12)=0のとき、高圧側レベルで動作する回路2401のエントリ、A(12)=1のとき、低圧側レベルで動作する回路2402のエントリとなる。

【0126】アドレスバス上のA(11:5)はフルスイングするレベルであるが、レベル変換部2403及びレベル変換部2406に入力されて、それぞれ高圧側レベル及び低圧側レベルに変換される。ここではレベル変換後にアドレスのデコードも行われる。アドレスデコードされると、256エントリの中から1エントリだけが選ばれて、アドレスタグとデータが読み出される。そのエントリのタグがアドレスバス上のA(31:13)と一致すると、データがデータバス(図示せず)に出力される。

【0127】この例では、活性化されるエントリは1つなので、レベル変換とアドレスのデコード以外では、高圧側レベルで動作する回路2401と低圧側レベルで動作する回路2402が同時に動作することはないが、キャッシュに対するアクセスがない場合のスタンバイ電流等が節約可能である。その他の実施の形態7に係るMOS ICの構成及び動作は、上述で説明した実施の形態1に係るMOS ICの構成及び動作と同様なので、説明を省略する。

【0128】実施の形態8。図25は、フルアソシアティブのキャッシュメモリに本発明に係るMOS ICを適用した他の実施の形態の構成を示すブロック図である。この実施の形態では、キャッシュメモリの容量は8

KB、ラインサイズは32B(16B+16B)、256エントリの構成である。A(3:0)は16Bのライン内のバイト位置、A(4)は高圧側レベルと低圧側レベルの選択、A(12:5)はエントリ選択、A(31:13)はアドレスタグ比較に用いられる。高圧側レベルで選択されたラインは、低圧側レベルで選択されたラインと完全に対応している。

【0129】アドレスバス上のA(12:5)はフルスイングするレベルであるが、レベル変換部2503及びレベル変換部2506に入力されて、それぞれ高圧側レベル及び低圧側レベルに変換される。ここでは、レベル変換後にアドレスのデコードも行われる。アドレスデコードされると、高圧側レベルの回路2501と低圧側レベルの回路2502で同じエントリが選ばれる。この2つのレベル変換回路は、作動する電圧レベルが異なるだけで全く同じ機能を有する。

【0130】エントリ選択によって、高圧側レベルではアドレスタグとデータ、低圧側レベルではデータが読み出される。そのエントリのタグがアドレスバス上のA(31:13)と一致すると、データがデータバス(図示せず)に出力される。この例では活性化されるエントリは1つであるが、図24の場合と違いレベル変換とアドレスのデコードの他に、データ読み出しが同時に行われる。そのため、効率よく電流の再利用が可能である。また、図24の例と同様に、キャッシュに対するアクセスがない場合のスタンバイ電流等でも節約可能である。その他の実施の形態8に係るMOS ICの構成及び動作は、上述で説明した実施の形態1に係るMOS ICの構成及び動作と同様なので、説明を省略する。

【0131】図24、図25では、キャッシュメモリの機能的な概念図を示しているが、図21のバスドライバの例で示したように、適当なビット単位で高圧側レベルで動作する回路と低圧側レベルで動作する回路とを交互にレイアウトすると、中間電圧ノードの電荷供給における配線抵抗による遅れが生じにくくなる利点がある。上述では、キャッシュメモリの例を述べたが、ROM、DRAM、SRAM等のメモリにおいて、高圧側レベルと低圧側レベルとを上述したように分割構成することによって、同じ効果が得られることは明らかである。

【0132】実施の形態9。図26は、マイクロコンピュータICや信号処理用IC等に用いられるデータバスレイアウトに本発明に係るMOS ICを適用した実施の形態の構成を示す配置図である。この実施の形態では、データバス2601は、8ビット単位で高圧側レベルで動作する部分と低圧側レベルで動作する部分とを交互に配置している。高圧側レベルで動作する部分と低圧側レベルで動作する部分とが面している箇所には中間電圧ノードの太い幹線が配置されている。

【0133】この実施の形態では、8ビット単位でレイアウトしているが、適当なビット単位で良いことは言う

までもない。適当なビット単位で高圧側レベルで作動する回路と低圧側レベルで作動する回路とを交互にレイアウトすると、中間電圧ノードの電荷供給における配線抵抗による遅れが生じにくくなる利点がある。

【0134】実施の形態10。図27は、MOS IC全体に本発明を適用した実施の形態の構成を示すブロック図である。この実施の形態では、MOS IC1bの半分が高圧側レベル動作部分2701（第1動作回路）、残りの半分が低圧側レベル動作部分2702（第2動作回路）になっている。その他の部分はフルスイングで作動する。図示していないが、高圧側レベル動作部分2701と低圧側レベル動作部分2702とIC1bのI/Oバッファとの間には、それぞれ適切な信号レベルの変換回路が挿入されている。また、高圧側レベル動作部分2701と低圧側レベル動作部分2702との間には中間電圧ノードの太い幹線が配置されている。

【0135】高圧側レベル動作部分2701で消費する電流と低圧側レベル動作部分2702で消費する電流とが全く同じになることは少ないが、平均的に考えるとかなりの割合の電流を再利用可能である。この実施の形態ではMOS IC1bを2分割してレイアウトしているが、複数個に分割しても同様の効果が得られることは言うまでもない。適当な割合で分割し、高圧側レベルで動作する部分と低圧側レベルで動作する部分とを、交互にレイアウトすると、中間電圧ノードの電荷供給における配線抵抗による遅れが生じにくくなる利点がある。

【0136】実施の形態11。図28は、本発明に係るMOS ICの実施の形態11の、ソースに中間電圧が与えられたトランジスタの基板電位の供給方式を説明するためのブロック図である。ここでは、PchTr21とNchTr22とがドレイン同士で接続され、PchTr21のソースに電源電圧Vccが与えられたインバータと、PchTr23とNchTr24とがドレイン同士で接続され、NchTr24のソースが接地されたインバータとが、NchTr22とPchTr23とのソース同士で接続されている。

【0137】NchTr22とPchTr23との接続ノード（節点）は、例えば電源電圧Vccの1/2の中間電圧Vmidを出力する中間電圧用電源（ノード安定化回路）27の出力端子が接続され、中間電圧ノードになっている。PchTr23の基板電位Vbpは第2の基板電位供給回路29から与えられ、NchTr22の基板電位Vbnは第1の基板電位供給回路28から与えられている。

【0138】第1の基板電位供給回路28及び基板電位供給回路29には、第1の動作回路及び第2の動作回路が高速に作動する高速モードと、第1の動作回路及び第2の動作回路が低消費電力で作動する低消費電力モードとに切り替えるモード切り替え信号MODEが与えられている。PchTr21とNchTr22とのドレイン

同士の接続ノード（インバータの出力ノード）Aには、寄生の負荷容量25が存在し、PchTr23とNchTr24とのドレイン同士の接続ノードBには、寄生の負荷容量26が存在する。

【0139】PchTr21とNchTr22とからなるインバータ（第1の動作回路の例、単純化のために1つで代表させる。）は、電源電圧Vcc～中間電圧Vmidの範囲の高圧側レベルで作動させ、PchTr23とNchTr24とからなるインバータ（第2の動作回路の例、単純化のために1つで代表させる。）は、中間電圧Vmid～接地電位の範囲の低圧側レベルで作動させる。

【0140】ところで、実施の形態1の図2（図28は、図2に第1の基板電位供給回路28及び基板電位供給回路29が付加された構成である。）においては、ソースに中間電圧Vmidが与えられるNchTr22は、基板電位が中間電圧Vmidではなく接地されている。これは、実施の形態1で前述したように、基板電位を接地すると、駆動能力が安定するだけでなく、駆動能力が増大するためである。また、基板電位を下げると、基板効果によって閾値電圧Vthが上がり、リーク電流が減少する効果がある。また、基板電位を接地すると、MOS IC上のレイアウトが容易になる。同様の理由により、ソース側に中間電圧Vmidが与えられるPchTr23は、基板電位が中間電圧Vmidではなく電源電圧Vccになっている。

【0141】しかし、図2のように、ソースに中間電圧Vmidが与えられるNchTr22の基板電位を接地し、ソースに中間電圧Vmidが与えられるPchTr23の基板電位を電源電圧Vccにすると、動作速度が低下する。そのため、実施の形態11では、第1の動作回路及び第2の動作回路が高速に作動するがリーク電流が比較的多い高速モードと、第1の動作回路及び第2の動作回路が低消費電力で作動するが動作速度が遅い低消費電力モードとを設定し、外部からのモード切り替え信号MODEによって切り替えるようにしている。

【0142】これにより、第1の動作回路及び第2の動作回路を高速に作動させたいときは、外部からモード切り替え信号MODEを高速モードに設定することにより、第1の基板電位供給回路28が、NchTr22の基板電位を接地電位より高い任意の電圧に切り替える。また、第2の基板電位供給回路29が、PchTr23の基板電位を電源電圧Vccより低い任意の電圧に切り替える。そのため、NchTr22の閾値電圧Vthが下がり、PchTr23の閾値電圧Vthが上がって、それぞれの動作速度が上昇する。

【0143】第1の動作回路及び第2の動作回路の動作速度が低速で良いときは、外部からモード切り替え信号MODEを低消費電力モードに設定することにより、第1の基板電位供給回路28が、NchTr22の基板電位を接地電位に切り替える。また、第2の基板電位供給

回路29が、PchTr23の基板電位を電源電圧Vccに切り替える。そのため、NchTr22の閾値電圧Vthが上がり、PchTr23の閾値電圧Vthが下がって、それぞれのリーク電流が減少する。

【0144】図29は、第1の基板電位供給回路28の構成例を示す回路図である。第1の基板電位供給回路28は、直列接続された3つの抵抗2907、2908、2909の、抵抗2907の他端にNchTr2913のソースが接続され、抵抗2909の他端が接地されている。NchTr2913のドレインには電源電圧Vcc 10が与えられ、ゲートには外部からのモード切り替え信号MODEが与えられる。抵抗2907、2908の接続点には、他端に電源電圧Vccが与えられた容量2910が接続され、抵抗2908、2909の接続点には、他端が接地された容量2912が接続され、抵抗2908には、容量2911が並列に接続されている。

【0145】NchTr2913がオンのとき、抵抗2908、2909の接続点の、抵抗2907、2908と抵抗2909との電源電圧Vccの分圧は、第4基準電圧Vref3として、OPアンプ2901の非反転入力端子 20へ与えられる。NchTr2913がオンのとき、抵抗2907、2908の接続点の、抵抗2907と抵抗2908、2909との電源電圧Vccの分圧は、第5基準電圧Vref4として、OPアンプ2902の反転入力端子へ与えられる。

【0146】OPアンプ2901の出力端子は、電源電圧Vccがドレイン接続されたNchTr2903のゲートへ接続され、OPアンプ2902の出力端子は、ソース接地されたNchTr2904のゲートへ接続されている。OPアンプ2901の反転入力端子とOPアンプ 302902の非反転入力端子とは、共通接続されたNchTr2903のソースとNchTr2904のドレインとに共通接続されている。NchTr2903のソースとNchTr2904のドレインとの共通接続点には、他端に電源電圧Vccが与えられた容量2905と、他端が接地された容量2906とが接続されている。

【0147】NchTr2903のソースとNchTr2904のドレインとの共通接続点には、NchTr22の基板電位Vbnが生成される。NchTr2903、2904の基板電位は接地されている。第4基準電圧V 40ref3と第5基準電圧Vref4とは抵抗2907、2908、2909の比で決められる。ここで、第4基準電圧Vref3と第5基準電圧Vref4との関係は、 $V_{ref4} > V_{ref3}$ である。

【0148】第1の基板電位供給回路28は、NchTr2913のゲートに高速モード信号であるHレベルのモード切り替え信号MODEが与えられたとき、NchTr2913がオンになり、第4基準電圧Vref3と第5基準電圧Vref4との間の電圧をNchTr22の基板電位Vbnとしてを出力する。この状態で、NchTr22

の基板電位Vbnが第4基準電圧Vref3よりも低下したとき、OPアンプ2901がそれを検出し、NchTr2903をオンさせて、NchTr22の基板に電荷を供給する。反対に、NchTr22の基板電位Vbnが第5基準電圧Vref4よりも上昇したとき、OPアンプ2902がそれを検出し、NchTr2904をオンさせて、NchTr22の基板から電荷を引き抜く。

【0149】第1の基板電位供給回路28は、第4基準電圧Vref3～第5基準電圧Vref4の電圧範囲（不感帯）では、2つのOPアンプ2901、2902が作動しない。この電圧範囲では、容量2905、2906の電荷がNchTr22の基板電位Vbnを安定させるために使われる。これによって、第1の基板電位供給回路28が必要以上に過敏に反応することを押さえることができる。

【0150】NchTr22の基板に容量2905と容量2906とを付加しているのは、電源電圧Vccと接地電位のレベルとが変動したときの影響を小さくし、NchTr22の基板電位Vbnを安定させるためである。容量2905、2906は、NchTr22の基板電位Vbnを安定させるための十分な大きさを有し、また、大きさがほぼ同じである。また、容量2910、2911、2912も、第4基準電圧Vref3と第5基準電圧Vref4とを安定させるのための十分な大きさを有している。

【0151】第1の基板電位供給回路28は、NchTr2913のゲートに低消費電力モード信号であるLレベルのモード切り替え信号MODEが与えられたとき、NchTr2913がオフになり、第4基準電圧Vref3及び第5基準電圧Vref4が低下する。OPアンプ2901がこれを検出し、NchTr2903をオフさせ、また、OPアンプ2902がこれを検出し、NchTr2904をオンさせて、NchTr22の基板電位Vbnを接地する。

【0152】図30は、第2の基板電位供給回路29の構成例を示す回路図である。第2の基板電位供給回路29は、直列接続された3つの抵抗3007、3008、3009の、抵抗3009の他端にNchTr3013のドレインが接続され、抵抗3007の他端は電源電圧Vccが与えられている。NchTr3013のソースは接地され、ゲートには外部からのモード切り替え信号MODEが与えられる。抵抗3007、3008の接続点 40には、他端に電源電圧Vccが与えられた容量3010が接続され、抵抗3008、3009の接続点には、他端が接地された容量3012が接続され、抵抗3008には、容量3011が並列に接続されている。

【0153】NchTr3013がオンのとき、抵抗3008、3009の接続点の、抵抗3007、3008と抵抗3009との電源電圧Vccの分圧は、第6基準電圧Vref5として、OPアンプ3001の非反転入力端子 50へ与えられる。NchTr3013がオンのとき、抵抗

3007, 3008の接続点の、抵抗3007と抵抗3008, 3009との電源電圧Vccの分圧は、第7基準電圧Vref6として、OPアンプ3002の反転入力端子へ与えられる。

【0154】OPアンプ3001の出力端子は、電源電圧Vccがドレイン接続されたNchTr3003のゲートへ接続され、OPアンプ3002の出力端子は、ソース接地されたNchTr3004のゲートへ接続されている。OPアンプ3001の反転入力端子とOPアンプ3002の非反転入力端子とは、共通接続されたNchTr3003のソースとNchTr3004のドレインとに共通接続されている。NchTr3003のソースとNchTr3004のドレインとの共通接続点には、他端に電源電圧Vccが与えられた容量3005と、他端が接地された容量3006とが接続されている。

【0155】NchTr3003のソースとNchTr3004のドレインとの共通接続点には、PchTr23の基板電位Vbpが生成される。NchTr3003, 3004の基板電位は接地されている。第6基準電圧Vref5と第7基準電圧Vref6とは抵抗3007, 3008, 3009の比で決められる。ここで、第6基準電圧Vref5と第7基準電圧Vref6との関係は、 $Vref6 > Vref5$ である。

【0156】第2の基板電位供給回路29は、NchTr3013のゲートに高速モード信号であるHレベルのモード切り替え信号MODEが与えられたとき、NchTr3013がオンになり、第6基準電圧Vref5と第7基準電圧Vref6との間の電圧をPchTr23の基板電位Vbpとしてを出力する。この状態で、PchTr23の基板電位Vbpが第6基準電圧Vref5よりも低下したとき、OPアンプ3001がそれを検出し、NchTr3003をオンさせて、PchTr23の基板に電荷を供給する。反対に、PchTr23の基板電位Vbpが第7基準電圧Vref6よりも上昇したとき、OPアンプ3002がそれを検出し、NchTr3004をオンさせて、PchTr23の基板から電荷を引き抜く。

【0157】第2の基板電位供給回路29は、第6基準電圧Vref5～第7基準電圧Vref6の電圧範囲（不感帯）では、2つのOPアンプ3001, 3002が作動しない。この電圧範囲では、容量3005, 3006の電荷がPchTr23の基板電位Vbpを安定させるために使われる。これによって、第2の基板電位供給回路29が必要以上に過敏に反応することを押さえることができる。

【0158】PchTr23の基板に容量3005と容量3006とを付加しているのは、電源電圧Vccと接地電位のレベルとが変動したときの影響を小さくし、PchTr23の基板電位Vbpを安定させるためである。容量3005, 3006は、PchTr23の基板電位Vbpを安定させるための十分な大きさを有し、また、大き

さがほぼ同じである。また、容量3010, 3011, 3012も、第6基準電圧Vref5と第7基準電圧Vref6とを安定させるための十分な大きさを有している。

【0159】第2の基板電位供給回路29は、NchTr3013のゲートに低消費電力モード信号であるLレベルのモード切り替え信号MODEが与えられたとき、NchTr3013がオフになり、第6基準電圧Vref5及び第7基準電圧Vref6が上昇する。OPアンプ3001がこれを検出し、NchTr3003をオンさせ、また、OPアンプ3002がこれを検出し、NchTr3004をオフさせて、PchTr23の基板電位Vbpに電源電圧Vccを与える。その他の実施の形態11のMOS ICの構成及び動作は、実施の形態1のMOS ICの構成及び動作と同様であるので、説明を省略する。

【0160】実施の形態12. 図31は、本発明に係るMOS ICの実施の形態12の、ソースに中間電圧が与えられたトランジスタの基板電位の他の供給方式を説明するためのブロック図である。このMOS ICは、PchTr23の基板電位Vbpが第2の基板電位供給回路29aから与えられ、NchTr22の基板電位Vbnは第1の基板電位供給回路28aから与えられている。

【0161】第1の基板電位供給回路28aは、ソースが接地されたNchTr311のドレインと、ドレインが中間電圧ノードに接続されたNchTr312のソースとが接続され、その接続点にはNchTr22の基板が接続されている。第2の基板電位供給回路29aは、ソースに電源電圧Vccが与えられたPchTr314のドレインと、ドレインが中間電圧ノードに接続されたPchTr313のソースとが接続され、その接続点にはPchTr23の基板が接続されている。NchTr311及びPchTr313のゲートにはモード切り替え信号MODE-Hが与えられ、NchTr312及びPchTr314のゲートにはモード切り替え信号MODE-Hの反転信号MODE-Lが与えられる。

【0162】第1の基板電位供給回路28aは、NchTr311のゲートに低消費電力モード信号であるHレベルのモード切り替え信号MODE-Hが与えられたとき、NchTr311がオンに、NchTr312がオフになり、NchTr22の基板電位Vbnは接地される。このとき、第2の基板電位供給回路29aは、PchTr313がオフに、PchTr314がオンになり、PchTr23の基板電位Vbpには電源電圧Vccが与えられる。

【0163】第1の基板電位供給回路28aは、NchTr311のゲートに高速モード信号であるLレベルのモード切り替え信号MODE-Hが与えられたとき、NchTr311がオフに、NchTr312がオンになり、NchTr22の基板電位Vbnには中間電圧Vmidが与えられる。このとき、第2の基板電位供給回路29aは、PchTr313がオンに、PchTr314が

オフになり、PchTr23の基板電位Vbpには中間電圧Vmidが与えられる。その他の実施の形態12のMOS ICの構成及び動作は、実施の形態11のMOS ICの構成及び動作と同様であるので、説明を省略する。尚、上述した実施の形態11、12では、基板電位の種類を各2種類として記述したが、高速モード、低消費電力モードの他にもモードの種類を加えて、基板電位の種類を各3種類以上としても良い。

【0164】尚、上述した各実施の形態では、単純化のために、第1動作回路及び第2動作回路をそれぞれインバータ1つ宛で説明したが、第1動作回路及び第2動作回路の規模がより大きい場合でも同様のことが言える。また、上述した各実施の形態では、電源電圧Vcc及び接地電位間を高圧側レベルと低圧側レベルの2分割にした例を述べたが、3つ以上に分割することも可能である。分割数が多くなると、さらに電流を有効に再利用することができる。また、3つ以上に分割した場合、任意の中間電圧のノードの電位をMOS IC外部から供給しても良い。そうすることによって、MOS IC内部で生成する中間電圧のノードにおいて、外部から電圧供給されるノードを挟んで電源電圧Vcc側にあるノードと接地電位側にあるノードとが影響しあわないようにできる利点がある。

【0165】

【発明の効果】本発明の第1発明に係るMOS集積回路によれば、簡単な回路構成で消費する電流を再利用できるように構成したので、安価に低消費電力のMOS集積回路を実現できる。

【0166】第2発明に係るMOS集積回路によれば、外部から与えられる中間電圧のノードを挟んで、第1電圧側にある中間電圧ノードと第2電圧側にある中間電圧ノードとが影響し合わないようにできる。

【0167】第3発明に係るMOS集積回路によれば、簡単な回路構成で消費する電流を再利用できるように構成したので、安価に低消費電力のMOS集積回路を実現できる。また、ノード安定化回路が、中間電圧ノードの電圧を第1の基準電圧ノードの電圧に安定させることができる。

【0168】第4発明に係るMOS集積回路によれば、第1電圧及び第2電圧が変動した場合の影響を小さくできる。

【0169】第5発明に係るMOS集積回路によれば、ノード安定化回路は、必要以上に過敏に反応することを抑制できる。

【0170】第6発明に係るMOS集積回路によれば、ノード安定化回路は、外部から基準電圧を与える必要がない。

【0171】第7発明に係るMOS集積回路によれば、ノード安定化回路は、基準電圧を容易に調節することができ、動作マージン等で問題が生じた場合でも対応が可

能である。

【0172】第8発明に係るMOS集積回路によれば、ノード安定化回路は、第1電圧及び第2電圧が変動した場合の影響を小さくできる。

【0173】第9発明に係るMOS集積回路によれば、第1の動作回路及び第2の動作回路は、それぞれが有するトランジスタの駆動能力が安定した増大する。また、それぞれが有するトランジスタのリーク電流が減少する。また、それぞれが有するトランジスタの配置が容易である。

【0174】第10発明に係るMOS集積回路によれば、第1の動作回路は、第1電圧及び中間電圧間で作動できる。また、第2の動作回路は、第1電圧及び中間電圧間で作動できる。

【0175】第11発明に係るMOS集積回路によれば、第1の動作回路及び第2の動作回路は、外部との信号の授受を行うことができる。

【0176】第12発明に係るMOS集積回路によれば、第1のクロックドライバ回路と第2のクロックドライバ回路とは、反転波形の電圧で作動し、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0177】第13発明に係るMOS集積回路によれば、第1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれに流れる電流が相殺し易くなり、消費電力が減少する。

【0178】第14発明に係るMOS集積回路によれば、第1のクロックドライバ回路及び第2のクロックドライバ回路は、それぞれの配線に寄生する負荷容量を等しくできる。また、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなる。

【0179】第15発明に係るMOS集積回路によれば、第1の動作回路及び第2の動作回路は、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0180】第16発明に係るMOS集積回路によれば、第1のビット部分と第2のビット部分とは、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0181】第17発明に係るMOS集積回路によれば、ドライバそれぞれに流れる電流が相殺し合って、消費電力が減少する。

【0182】第18発明に係るMOS集積回路によれば、メモリそれぞれに流れるメモリに対するアクセスが無い場合のスタンバイ電流等が相殺し合って、消費電力が減少する。

【0183】第19発明に係るMOS集積回路によれば、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって、消費電力が減少する。

【0184】第20発明に係るMOS集積回路によれば、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって消費電力が減少する。

【0185】第21発明に係るMOS集積回路によれば

ば、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって消費電力が減少する。

【0186】第22発明に係るMOS集積回路によれば、第1の動作回路及び第2の動作回路は、それぞれに流れる電流が相殺し合って、消費電力が減少する。

【0187】第23発明に係るMOS集積回路によれば、中間電圧ノードへの電荷供給において、配線抵抗に起因する遅れが生じ難くなって、消費電力が減少する。

【0188】第24発明に係るMOS集積回路によれば、基板電位の値に応じた漏れ電流の大小と動作速度の高低とを勘案した、動作回路の動作態様に応じて、基板電位を切り替えることができる。

【0189】第25、26発明に係るMOS集積回路によれば、基板電位の値に応じた漏れ電流の大小と動作速度の高低とを勘案した、第1の動作回路及び第2の動作回路の動作態様に応じて、それぞれが有する、ソースに中間電圧が与えられるトランジスタの基板電位を切り替えることができる。

【図面の簡単な説明】

【図1】 本発明に係るMOS ICの実施の形態1の構成を示すブロック図である。

【図2】 本発明に係るMOS ICの電源供給方式について説明するためのブロック図である。

【図3】 中間電圧用電源の構成例を示す回路図である。

【図4】 第1動作回路及び第2動作回路の出力波形を示す波形図である。

【図5】 中間電圧用電源の構成例を示す回路図である。

【図6】 第1動作回路及び第2動作回路の出力波形を示す波形図である。

【図7】 中間電圧用電源の構成例を示す回路図である。

【図8】 第1レギュレータの構成例を示した回路図である。

【図9】 第2レギュレータの構成例を示した回路図である。

【図10】 クロックバッファ回路に本発明に係るMOS ICを適用した実施の形態の構成を示す回路図である。

【図11】 レベル変換回路の構成例を示す回路図である。

【図12】 レベル変換回路の構成例を示す回路図である。

【図13】 レベル変換回路の構成例を示す回路図である。

【図14】 レベル変換回路の構成例を示す回路図である。

【図15】 インバータの構成例を示す回路図である。

【図16】 インバータの構成例を示す回路図である。

【図17】 図10に示す回路の高圧側レベルのクロックと低圧側レベルのクロックの波形を示す波形図である。

【図18】 図10に示す回路の高圧側レベル及び低圧側レベルの各回路での電流の消費量を示す波形図である。

【図19】 中間電圧モードの中間電圧の同様を示す波形図である。

【図20】 実施の形態5に係るMOS ICの構成及び配置例を示す回路図である。

【図21】 バスドライバに本発明に係るMOS ICを適用した実施の形態の構成を示す回路図である。

【図22】 トライステートバッファの構成例を示す回路図である。

【図23】 トライステートバッファの構成例を示す回路図である。

【図24】 フルアソシアティブのキャッシュメモリに本発明に係るMOS ICを適用した実施の形態の構成を示すブロック図である。

【図25】 フルアソシアティブのキャッシュメモリに本発明に係るMOS ICを適用した他の実施の形態の構成を示すブロック図である。

【図26】 データバスレイアウトに本発明に係るMOS ICを適用した実施の形態の構成を示す配置図である。

【図27】 MOS IC全体に本発明を適用した実施の形態の構成を示すブロック図である。

【図28】 ソースに中間電圧が与えられたトランジスタの基板電位の供給方式を説明するためのブロック図である。

【図29】 第1の基板電位供給回路の構成例を示す回路図である。

【図30】 第2の基板電位供給回路の構成例を示す回路図である。

【図31】 ソースに中間電圧が与えられたトランジスタの基板電位の他の供給方式を説明するためのブロック図である。

【図32】 従来のMOS ICのCの電源供給方式について説明するためのブロック図である。

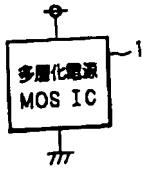
【符号の説明】

1, 1'b MOS IC、27, 27a, 27b 中間電圧用電源（ノード安定化回路）、28, 28a 第1の基板電位供給回路、29, 29a 第2の基板電位供給回路、71 第1レギュレータ、72 第2レギュレータ、101 第1レベル変換回路、102, 105, 110~113 バッファ回路、103 第3レベル変換回路、104 第2レベル変換回路、106 第4レベル変換回路、107 インバータ、108 第1のクロックドライバ回路、109 第2のクロックドライバ回路、2601 データバス、2701 高圧レベル

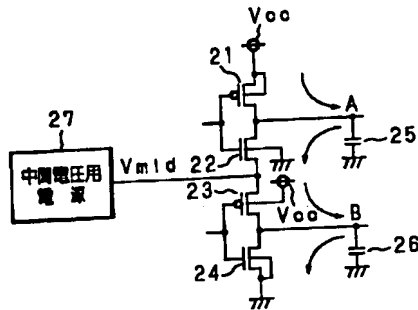
37

側動作部分 (第1の動作回路)、2702 低圧レベル
側動作部分 (第2の動作回路)、 V_{cc} 電源電圧、 V_{mi}

【図1】

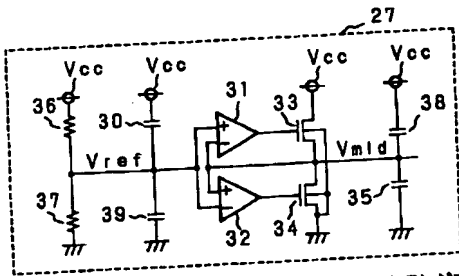


【図2】



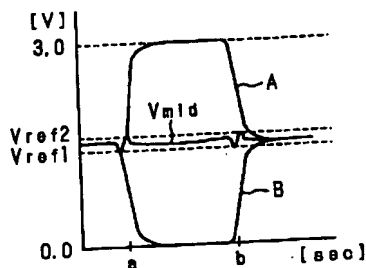
21, 23: Pチャネル形トランジスタ
22, 24: Nチャネル形トランジスタ
 V_{cc} : 電源電圧

【図3】



33, 34: Nチャネル形トランジスタ
30, 35, 38, 39: 容量
 V_{ref} : 第1基準電圧
 V_{mid} : 中間電圧

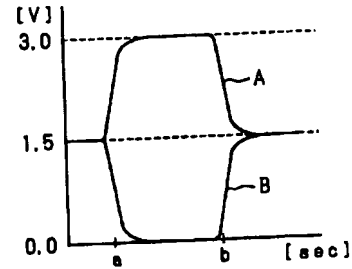
【図6】



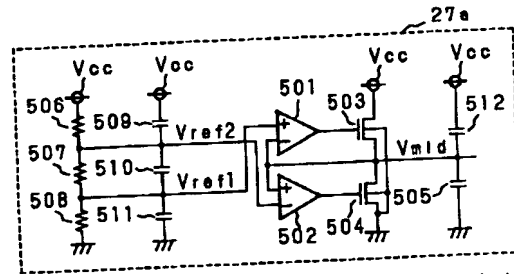
38

d 中間電圧、 V_{ref} 第1基準電圧 (基準電圧)、 V_{ref1} 第2基準電圧、 V_{ref2} 第3基準電圧。

【図4】

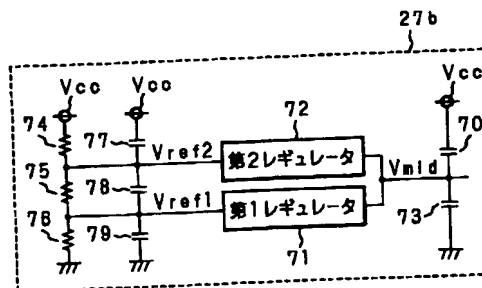


【図5】



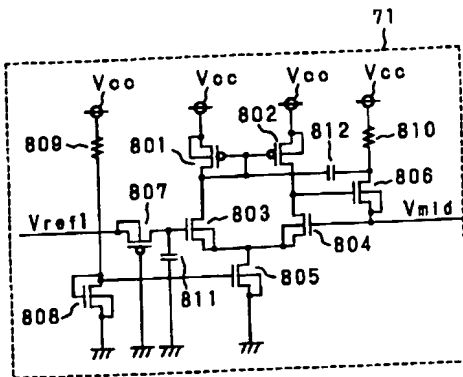
503, 504: Nチャネル形トランジスタ
505, 509~512: 容量
506~508: 抵抗
 V_{ref1} : 第2基準電圧
 V_{ref2} : 第3基準電圧

【図7】



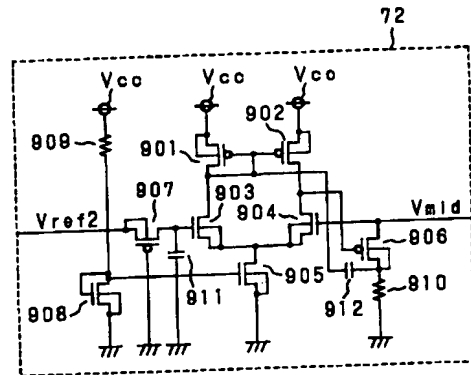
70, 73, 77~79: 容量
74~76: 抵抗

【図8】



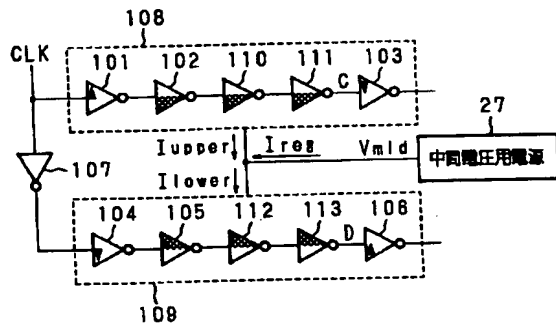
801, 802, 807 : Pチャネル形トランジスタ
803~806, 808 : Nチャネル形トランジスタ

【図9】



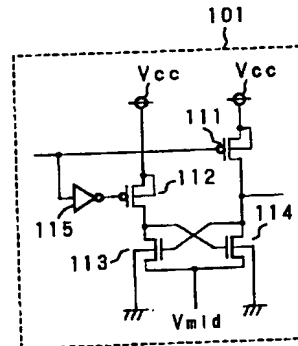
901, 902, 906, 907 : Pチャネル形トランジスタ
903~905, 908 : Nチャネル形トランジスタ

【図10】



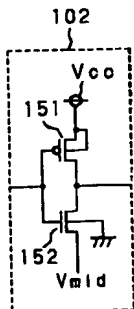
101 : 第1レベル変換回路
102, 105, 110~113 : バッファ回路
104 : 第2レベル変換回路
107 : インバータ
103 : 第3レベル変換回路
108 : 第1のクロックドライバ回路
106 : 第4レベル変換回路
109 : 第2のクロックドライバ回路

【図11】



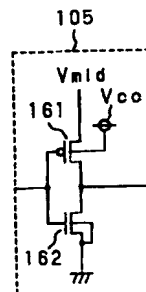
111, 112 : Pチャネル形トランジスタ
113, 114 : Nチャネル形トランジスタ

【図15】



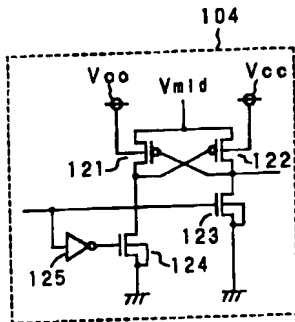
151 : Pチャネル形トランジスタ
152 : Nチャネル形トランジスタ

【図16】



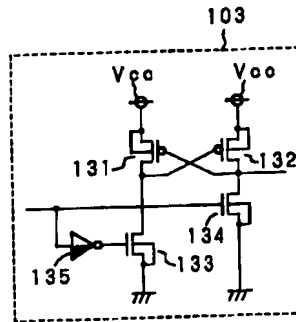
161 : Pチャネル形トランジスタ
162 : Nチャネル形トランジスタ

【図12】



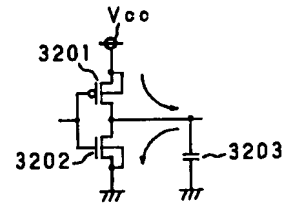
121, 122: Pチャネル形トランジスタ
123, 124: Nチャネル形トランジスタ

【図13】

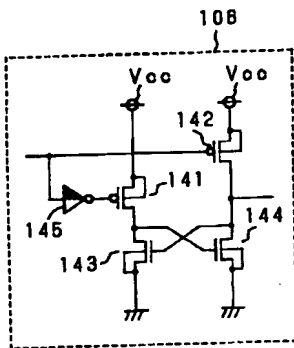


131, 132: Pチャネル形トランジスタ
133, 134: Nチャネル形トランジスタ

【図32】

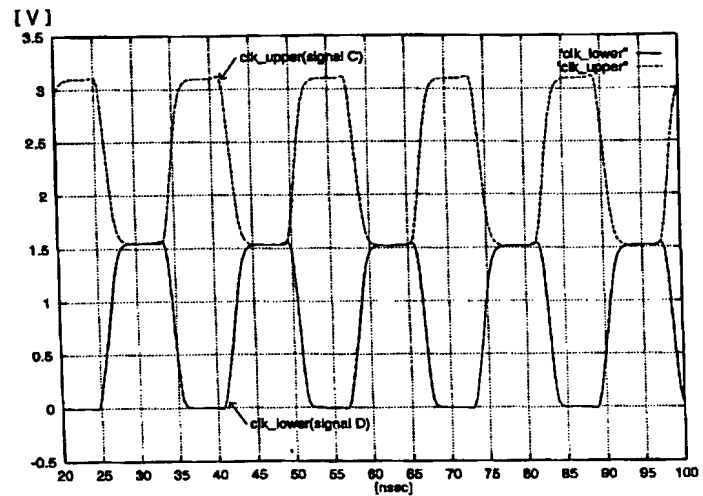


【図14】

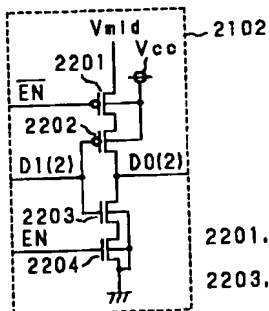


141, 142: Pチャネル形トランジスタ
143, 144: Nチャネル形トランジスタ

【図17】

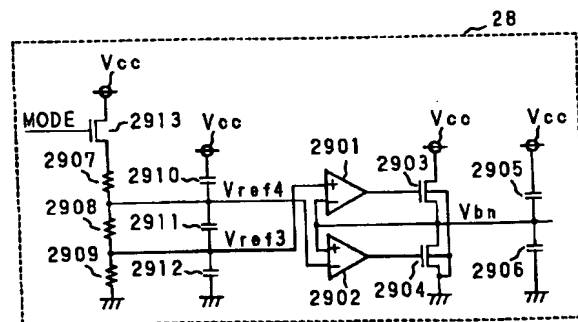


【図22】

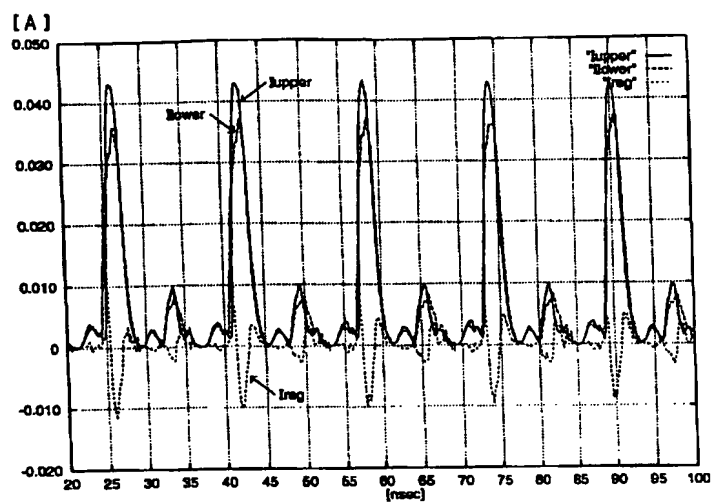


2201, 2202: Pチャネル形トランジスタ
2203, 2204: Nチャネル形トランジスタ

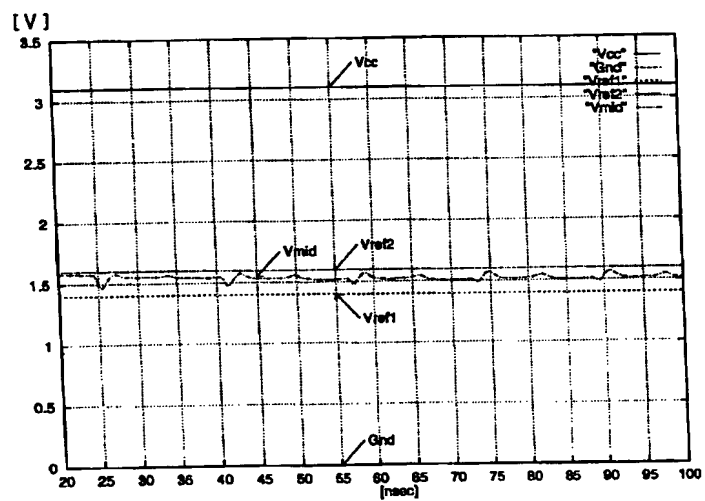
【図29】



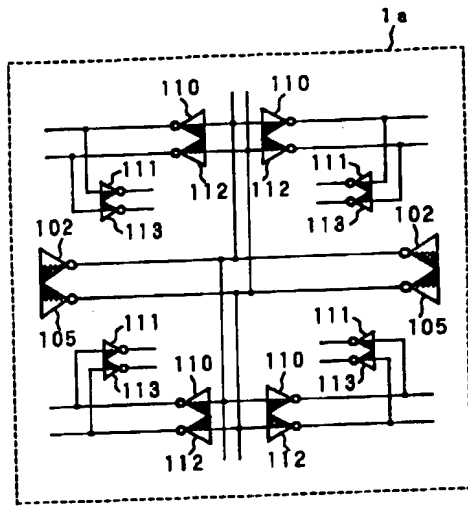
【図18】



【図19】

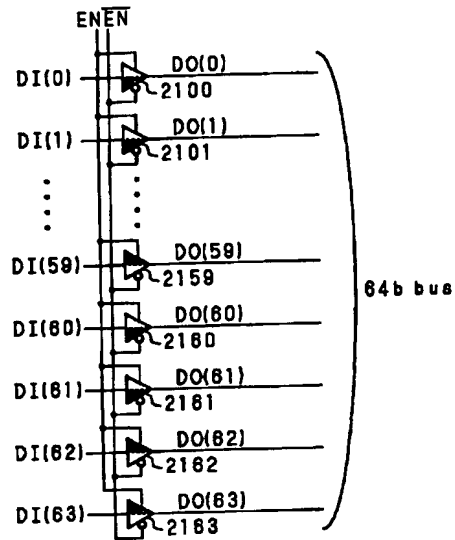


【図20】



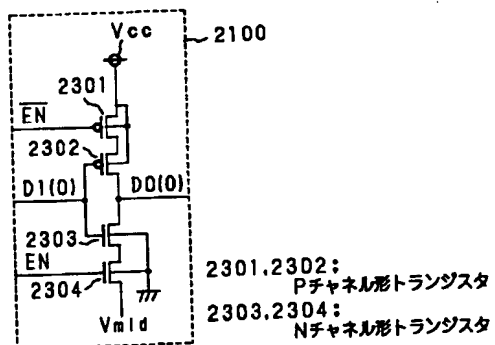
1a: MOS IC

【図21】



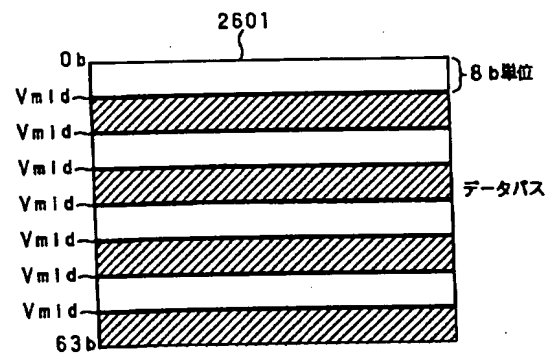
2100~2163: バスドライバ

【図23】



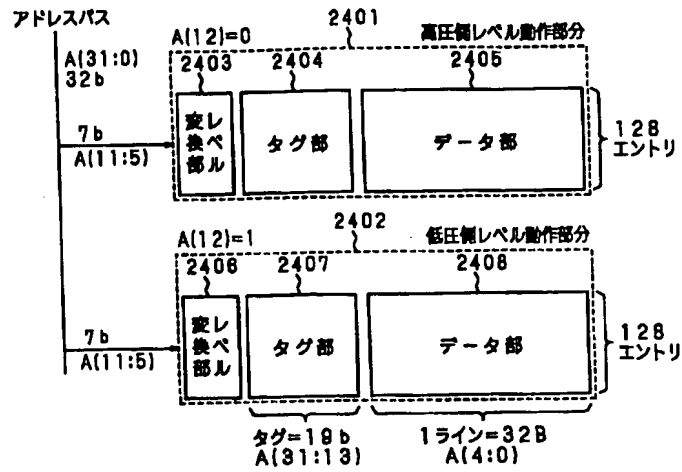
2301, 2302: Pチャネル形トランジスタ
 2303, 2304: Nチャネル形トランジスタ

【図26】

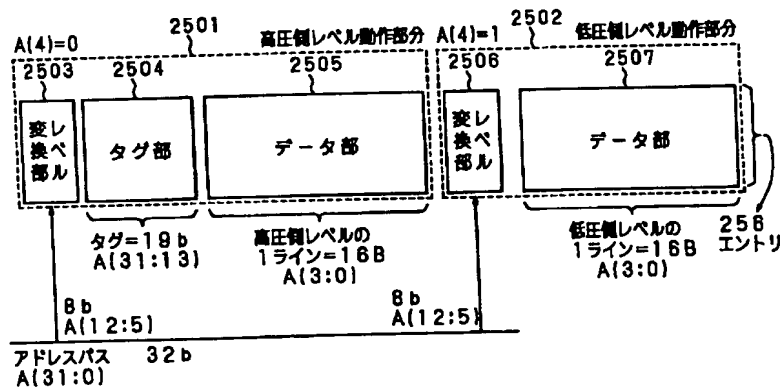


2601: データバス

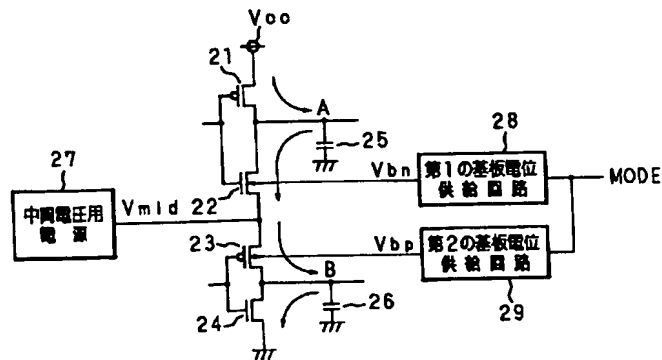
【図24】



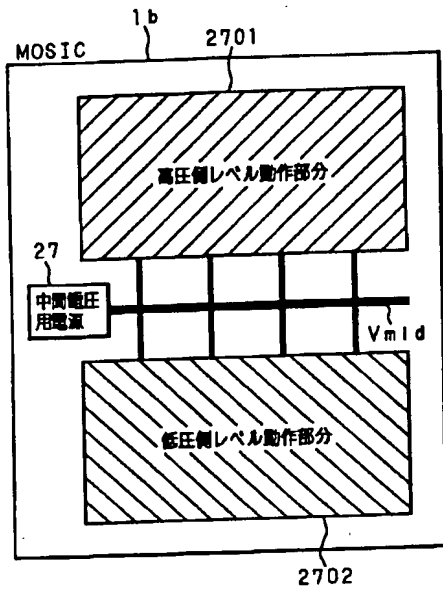
【図25】



【図28】

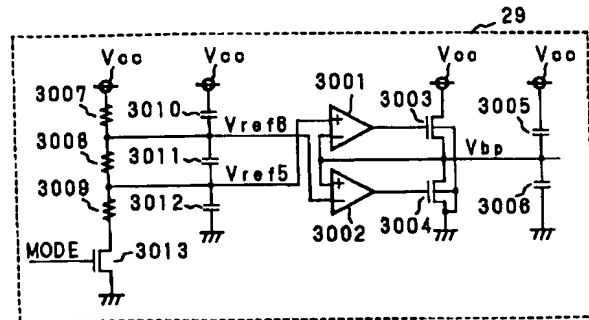


【図27】

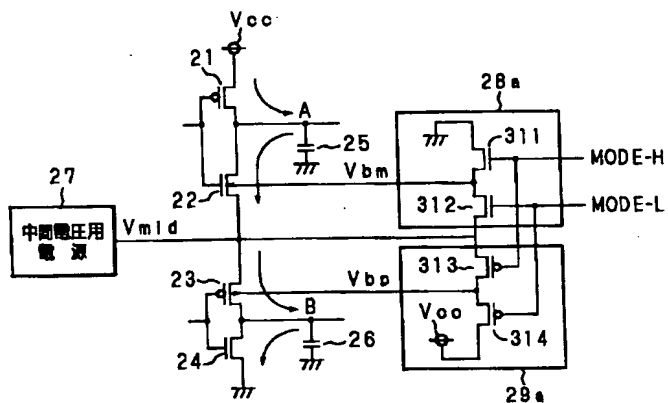


2701: 第1動作回路
2702: 第2動作回路

【図30】



【図31】



28a: 第1の基板電位供給回路
29a: 第2の基板電位供給回路